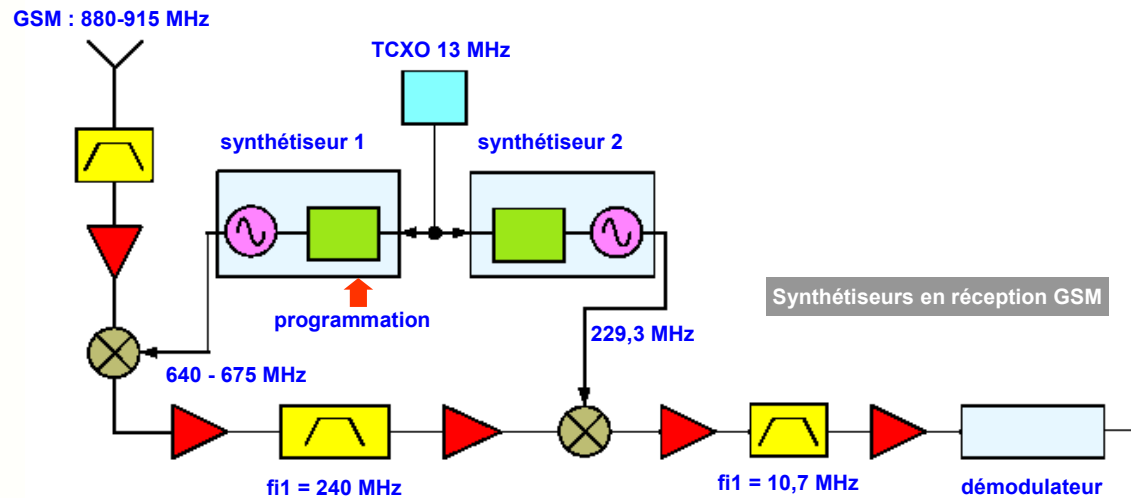
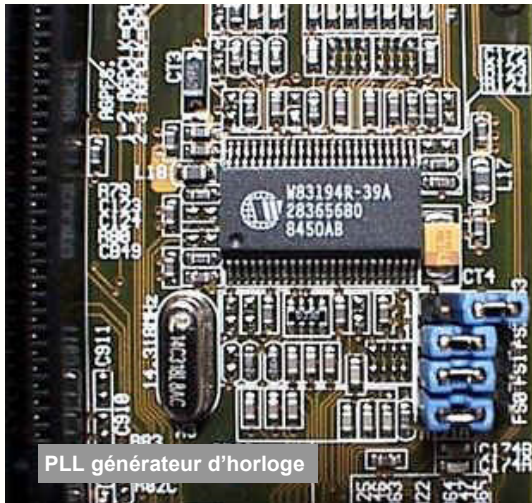




# La boucle à verrouillage de phase de phase





- 1- L'origine de la boucle à verrouillage de phase
- 2- Le principe de la PLL
- 3- La PLL en synthèse de fréquence
- 4- Exemple : production de l'horloge d'un processeur
- 5- Les autres applications de la PLL
- 6- Exemple : récupération de l'horloge dans un lecteur CD
- 7- Le comparateur de phase
- 8- Le comparateur de phase à Ou Exclusif
- 9- Le comparateur phase-fréquence logique
- 10- Le comparateur de phase à mélangeur
- 11- Le comparateur phase-fréquence à pompe de charge
- 12- L'oscillateur commandé en tension
- 13- Exemples d'oscillateurs commandés en tension
- 14- Exemple de VCO réalisé avec un circuit intégré
- 15- Exemple de Ci pour PLL : le CD4046
- 16- La PLL à CD4046 en fonctionnement
- 17- La PLL à CD4046 : les signaux
- 18- La PLL à CD4046 : capture et décrochage
- 19- La PLL à CD4046 : multiplication de fréquence
- 20- Élaboration du schéma fonctionnel de la PLL
- 21- Schéma fonctionnel standard de la PLL
- 22- Précision de l'asservissement de fréquence
- 23- Le régime transitoire de la PLL
- 24- Les différents filtres de boucle
- 25- PLL avec filtre de boucle actif
- 26- PLL avec pompe de charge et filtre de boucle passif
- 27- Réglage de la PLL à pompe de charge

- 28- Le synthétiseur de fréquence à prédiviseur
- 29- Exemple de circuit pour synthétiseur de fréquence
- 30- Application : émetteur pour la bande FM
- 31- Le synthétiseur à diviseur fractionnaire
- 32- Le synthétiseur modulateur de fréquence
- 33- Le AD4110 : un circuit PLL de Analog Devices
- 34- Le AD4110 : exemple d'application
- 35- La PLL en détection de signaux
- 36- La PLL en récupération d'horloge



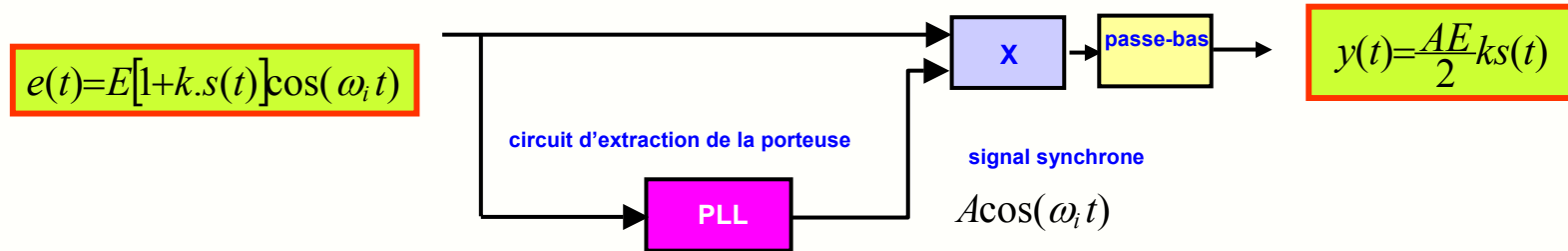


# 1- L'invention de la boucle à verrouillage de phase



La mise au point de la **boucle à verrouillage de phase** ou **Phase Locked Loop** est directement liée à l'histoire de la modulation d'amplitude :

- la **démodulation crête** à diode, simple à mettre en œuvre, ne fonctionne pas de façon satisfaisante en présence de bruit
- la **démodulation synchrone** donne de meilleurs résultats, mais nécessite pour fonctionner un signal synchrone avec la porteuse



En 1932, **Henri de Bellecize**, un ingénieur de l'École Supérieure d'Électricité, travaille sur les procédés permettant de reconstituer ce signal synchrone à partir du signal modulé :

- il a l'idée de synchroniser un oscillateur en comparant sa fréquence à celle du signal d'entrée  $e(t)$
- il réalise donc un système bouclé constituant un asservissement de fréquence ou de phase
- c'est ainsi que naquit la boucle à verrouillage de phase qui permet de verrouiller un oscillateur sur un signal de fréquence donné

A l'époque, les réalisations à base de PLL étaient à tubes et donc volumineuses, chères et donc réservées au matériel professionnel

Aujourd'hui, une PLL ne comprend plus qu'un circuit intégré et quelques composants périphériques



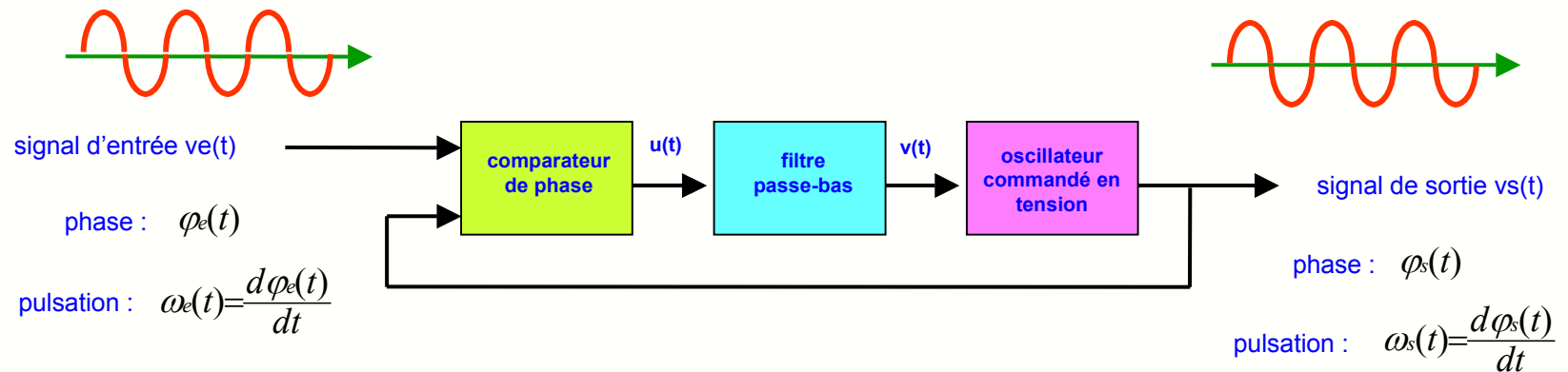


## 2- Le principe de la PLL



La **boucle à verrouillage de phase** est un asservissement de phase ou de fréquence qui asservit la fréquence d'un oscillateur commandé en tension ou VCO à un signal injecté à l'entrée :

- le cœur de la PLL est le **VCO** qui fournit en sortie un signal sinusoïdal ou carré dont la fréquence instantanée  $f_s(t)$  dépend de  $v(t)$
- le **comparateur de phase** élabore une tension  $u(t)$  dépendant du déphasage entre les signaux d'entrée et de sortie
- le **filtre passe-bas** lisse cette tension  $u(t)$  en gardant sa valeur moyenne et en supprimant les harmoniques



- en l'absence de signal appliqué à l'entrée, le VCO fonctionne à sa fréquence naturelle d'oscillation
- si on applique à l'entrée un signal de fréquence  $f_e$ , la boucle traverse un **régime transitoire** où  $u(t)$  et  $v(t)$  varient de manière complexe
- ce régime transitoire est appelé **verrouillage** ou **capture**
- à la fin du régime transitoire, la boucle est verrouillée et la fréquence du VCO est alors égale à celle du signal d'entrée

**Résultat important : quand la boucle est verrouillée, la pll assure l'égalité des fréquences à l'entrée du comparateur de phase**

Ces résultats seront justifiés dans les pages suivantes.



# 3- La PLL en synthèse de fréquence



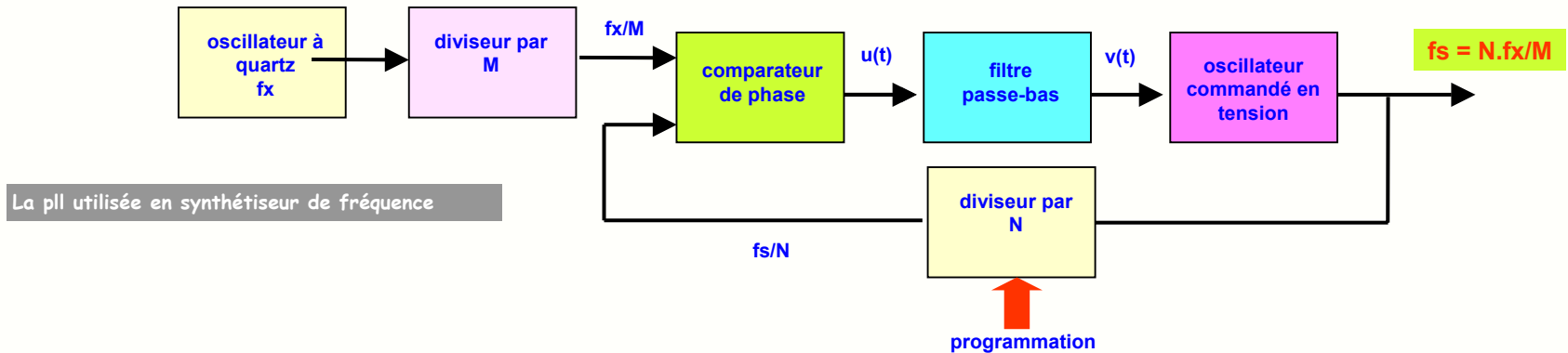
Les PLL sont omniprésentes dans les équipements actuels, et les applications peuvent se classer en trois catégories principales :

- la **synthèse de fréquence** qui permet de produire un signal de fréquence fixe et stable
- le fonctionnement en **démodulateur** qui extrait l'information basse-fréquence d'un signal modulé en fréquence
- l'**extraction** d'un signal de fréquence donnée d'un signal de structure complexe

## Application 1 : la synthèse de fréquence

La PLL permet de produire les signaux de fréquence **très stable** et **variable par pas** nécessaires dans les systèmes de télécommunications :

- elle fournit en sortie un signal ayant la stabilité d'un quartz de référence  $f_x$ , mais avec un choix de fréquences quasi illimité
- elle comporte un diviseur par  $M$  à l'entrée et un diviseur par  $N$  dans la boucle de retour
- le diviseur par  $N$  est en général un diviseur programmable dont on peut faire varier la valeur entière dans une large plage



- lorsque la boucle est verrouillée, les fréquences à l'entrée du comparateur de phase sont égales, soit  $f_x/M = f_s/N$
- en jouant sur les facteurs de division  $M$  et  $N$ , on peut produire une fréquence  $f_s$  différente de  $f_x$  qui aura la même stabilité que  $f_x$

Application : si  $f_x = 10$  MHz,  $M = 10$  et  $N = 88,89 \dots 108$  alors la fréquence de sortie varie de  $f_s = 88$  à  $108$  MHz par pas de  $1$  MHz

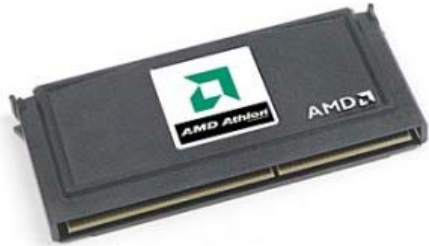


# 4- Exemple : production de l'horloge d'un processeur



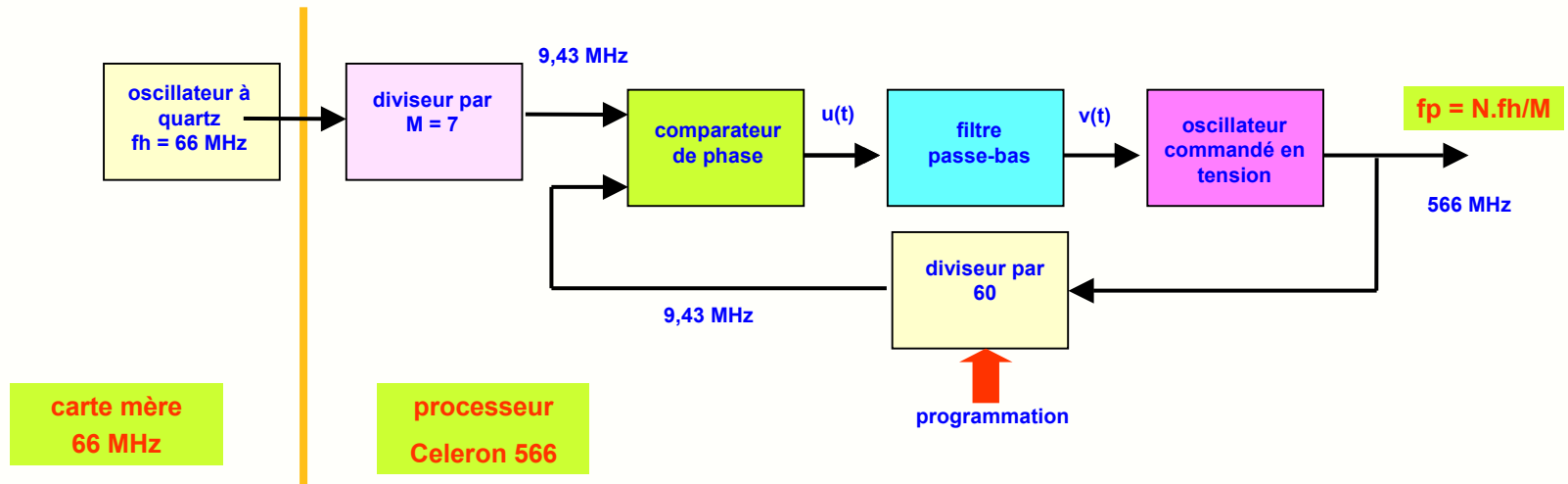
Un processeur comme le Pentium nécessite pour fonctionner un signal d'horloge qui n'est jamais produit dans la puce pour 2 raisons :

- la température du processeur varie beaucoup, ce qui entraînerait des dérives importantes sur la fréquence d'horloge
- le fabricant veut pouvoir trier ses puces et les vendre avec une gamme de vitesses et donc de prix différents



Le processeur contient donc une PLL qui produit son horloge interne :

- elle reçoit de la carte mère le signal d'horloge  $f_h$  du générateur d'horloge
- la PLL comporte un diviseur par  $M$  à l'entrée et un diviseur par  $N$  dans la boucle de retour
- elle produit l'horloge du processeur  $f_p$  qui est plus élevée que l'horloge de la carte mère



- des techniciens habiles (!) s'ingénierent à augmenter la vitesse de leur processeur ( **overclocking** ) en agissant sur  $M$  et  $N$
- des ingénieurs habiles (!! ) de chez Intel ou AMD s'ingénierent à rendre les accès à  $M$  et  $N$  inaccessibles



# 5- Les autres applications de la PLL

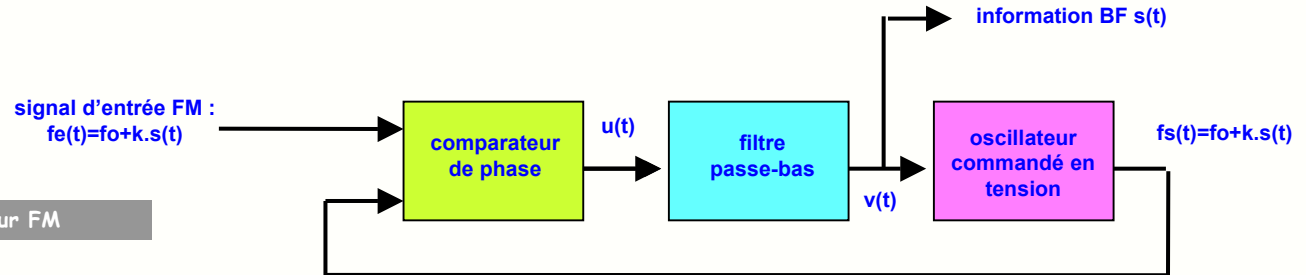


## Application 2 : la démodulation de fréquence

Pour démoduler un signal modulé en fréquence, on dispose d'un certain nombre de montages comme le démodulateur à quadrature et le démodulateur de Foster-Seely .

La boucle à verrouillage de phase permet de réaliser d'excellents démodulateurs qui fonctionnent mieux que les précédents lorsque le signal modulé est fortement bruité.

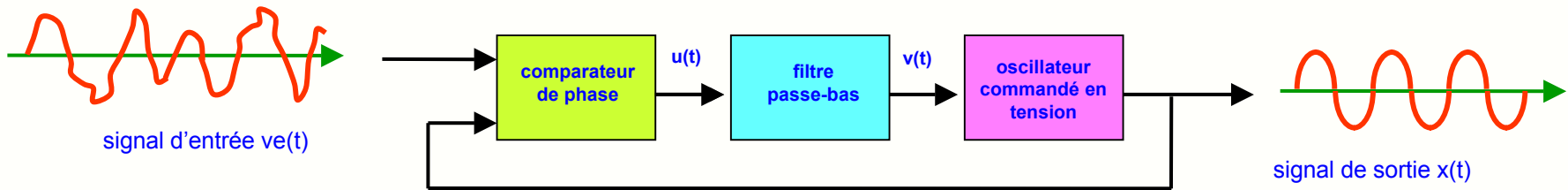
La pll utilisée en démodulateur FM



- le signal injecté à l'entrée est un signal modulé en fréquence par une **information s(t)**
- quand le VCO est verrouillé sur le signal d'entrée, la fréquence en sortie suit les variations de fréquence à l'entrée
- si la **caractéristique du VCO est linéaire**, la tension de commande v(t) variera comme la fréquence, c'est-à-dire comme l'information s(t)

## Application 3 : extraction de signal

- le signal d'entrée ve(t) contient un signal x(t) de fréquence donnée qu'on souhaite extraire
- en respectant certaines conditions, on peut verrouiller une PLL sur ce signal ve(t) et récupérer le signal x(t) en sortie du VCO



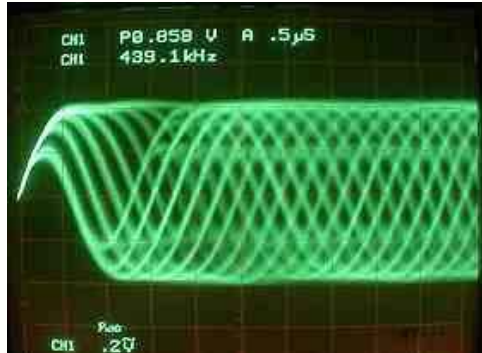
On peut rappeler que c'est cette application qui a été à l'origine de l'invention de la PLL



# 6- Exemple : récupération de l'horloge dans un lecteur CD

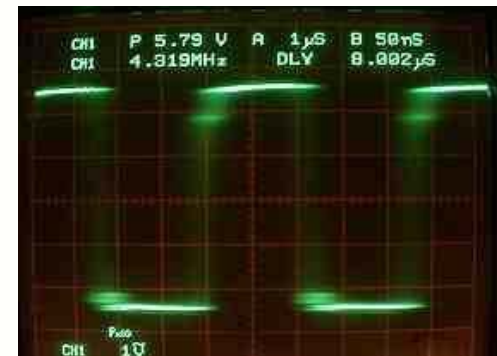
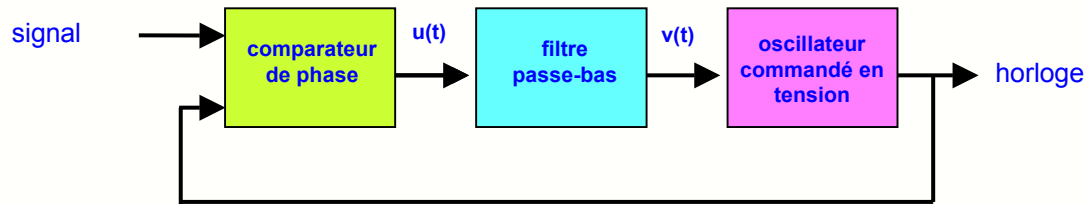
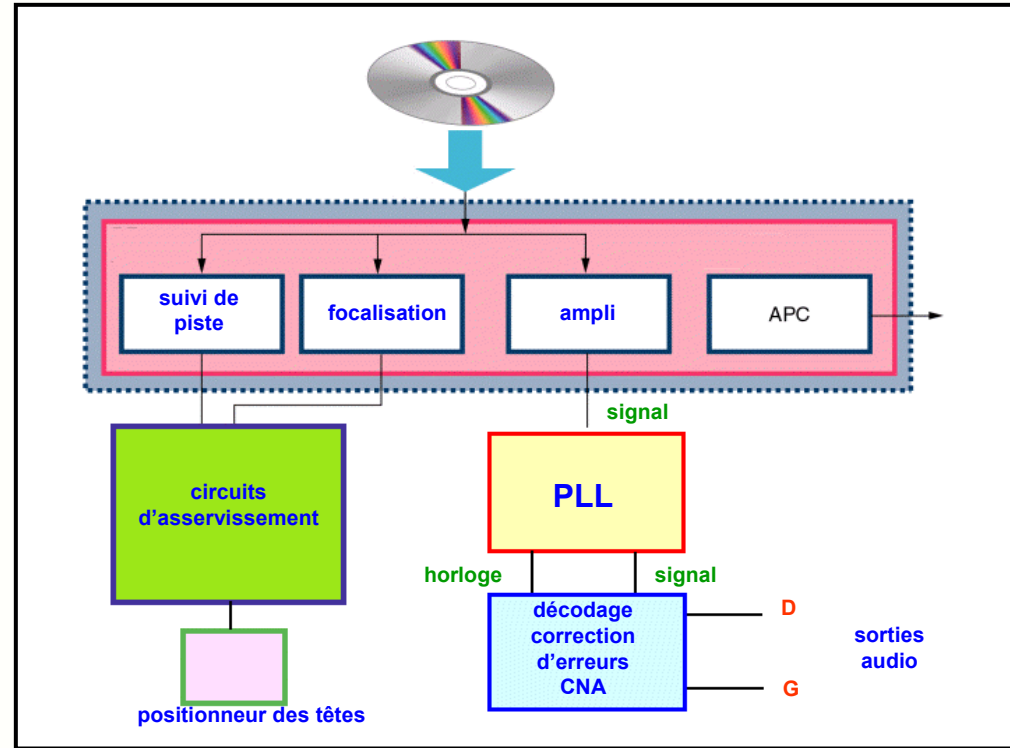


Dans un lecteur CD audio, le signal issu de la tête de lecture reproduit la forme des cuvettes inscrites sur le disque :



Allure du signal issu de la tête optique

- le signal est de niveau faible et a des flans assez arrondis
- le décodage du signal nécessite la récupération de la fréquence d'horloge présente dans le signal
- l'horloge est extraite du signal à l'aide d'une PLL verrouillée sur le signal



Allure du signal d'horloge récupéré

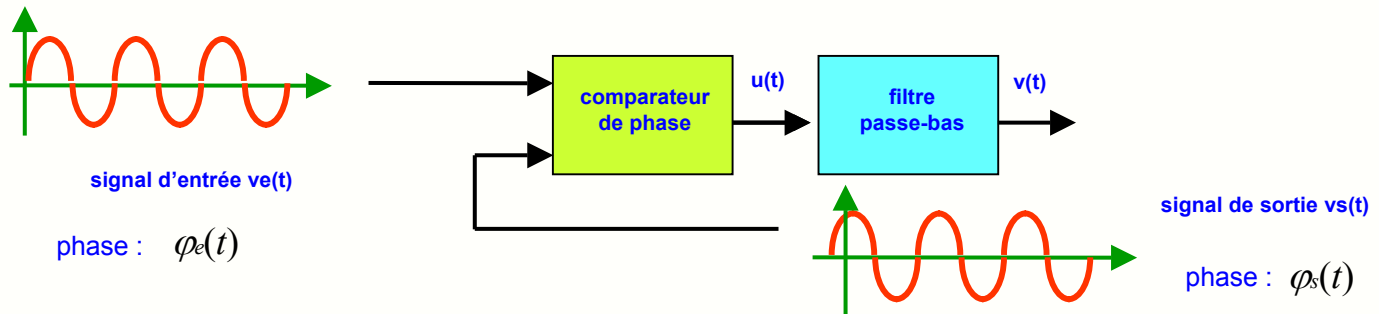




# 7- Le comparateur de phase

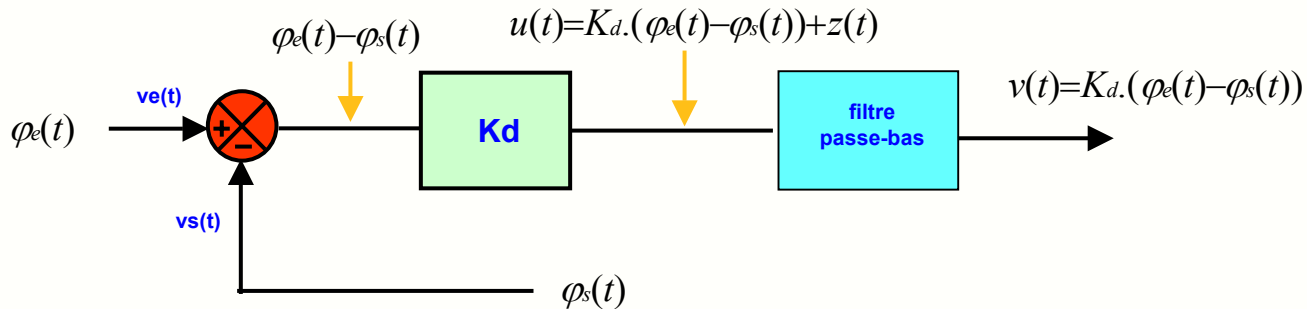


Le comparateur de phase doit donner en sortie une information sur le déphasage entre le signal de sortie du VCO et le signal d'entrée de la boucle, et idéalement il fournit une tension proportionnelle à la différence de phase entre l'entrée et la sortie.



Dans le schéma fonctionnel de la PLL, le comparateur de phase se modélise par :

- un comparateur qui calcule la différence de phase entre les signaux  $v_e(t)$  et  $v_s(t)$
- un bloc de gain traditionnellement noté  $K_d$  exprimé en volts/radian qui effectue la conversion déphasage-tension
- la tension  $u(t)$  étant en général affectée de fluctuations  $z(t)$ , il faut les éliminer par filtrage passe-bas

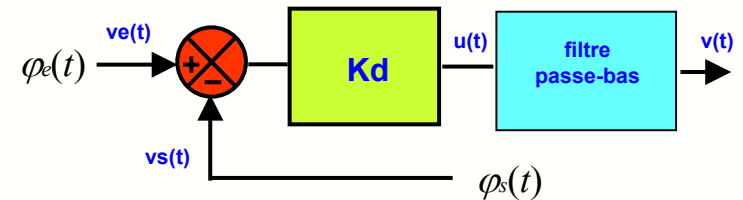
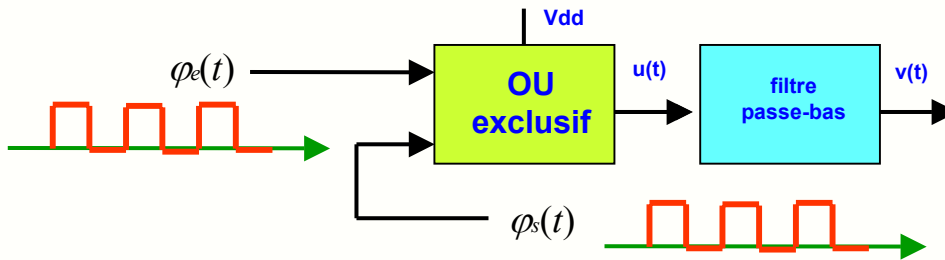


**Remarque : le comparateur soustrait deux phase, il ne peut donc pas être réalisé par un soustracteur à Aop**

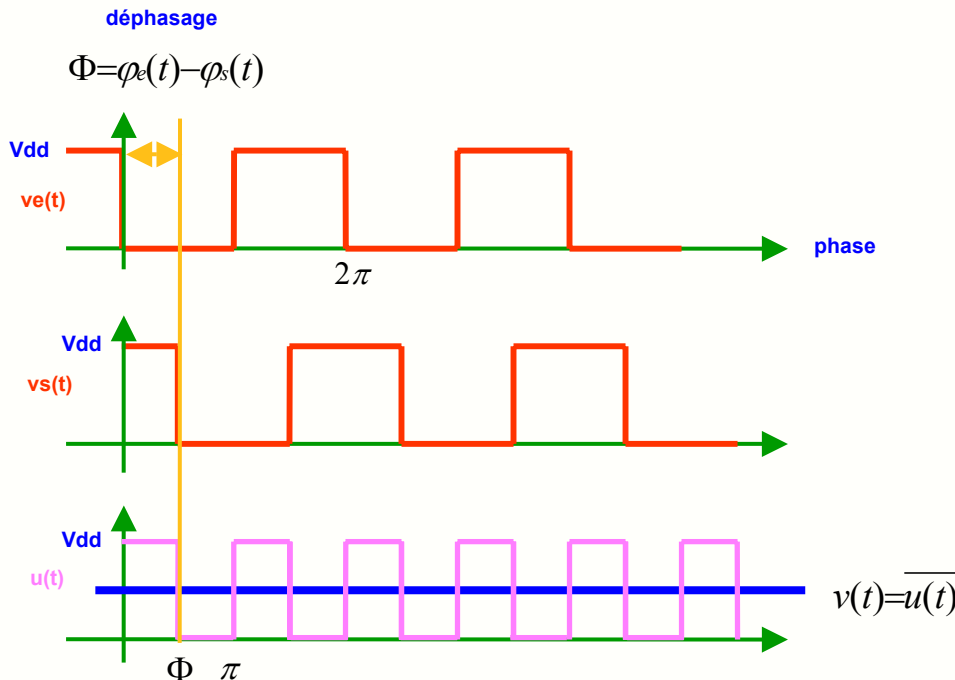
# 8- Le comparateur de phase à Ou Exclusif



Parmi les différents types de comparateurs de phase, le plus courant est le **Ou Exclusif** suivi d'un filtre passe-bas, qui a l'avantage de la simplicité mais ne fonctionne qu'avec des **signaux carrés symétriques** :



La forme des signaux montre que le signal en sortie du Ou Exclusif a une **fréquence double** de celle du signal d'entrée et que **sa valeur moyenne dépend du déphasage** entre les deux signaux  $ve(t)$  et  $vs(t)$  :



- la valeur moyenne de la tension en sortie du filtre passe-bas s'écrit :

$$v(t) = \overline{u(t)} = Vdd \cdot \frac{\Phi}{\pi}$$

- la **transmittance statique**  $K_d$  du comparateur de phase vaut donc :

$$K_d = \frac{\overline{u(t)}}{\Phi} = \frac{Vdd}{\pi} \quad \text{en volts/radian}$$

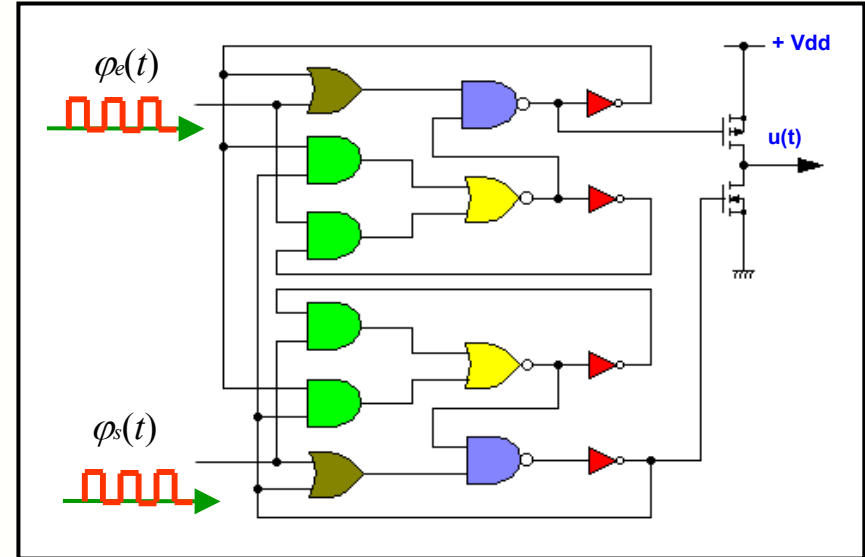
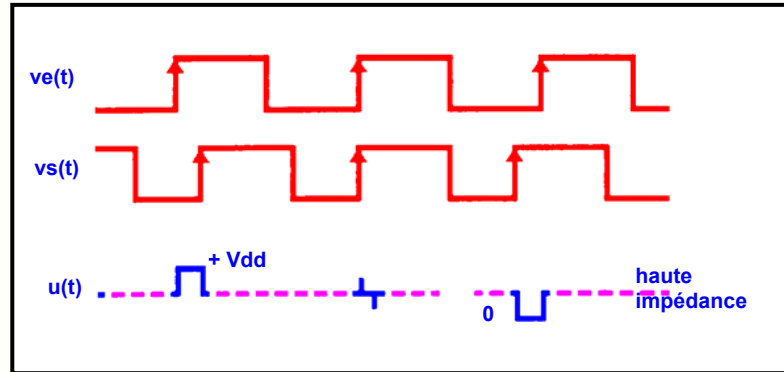
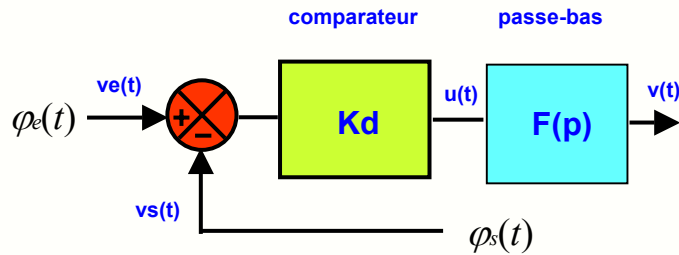
- le filtre passe-bas doit éliminer les fréquences  $2f_e$ ,  $3f_e$  ... et donc avoir une fréquence de coupure  **$f_c$  très inférieure à  $2f_e$**

# 9- Le comparateur phase-fréquence logique



Un autre type de comparateur courant est le **comparateur phase-fréquence** construit autour de fonctions logiques :

- si la fréquence  $f_e$  est inférieure à la fréquence  $f_s$  du VCO, la sortie du comparateur de phase est à **+Vdd**
- si la fréquence  $f_e$  est supérieure à la fréquence  $f_s$  du VCO, la sortie du comparateur de phase est à **la masse**
- si les fréquences sont égales, le comparateur fournit des **impulsions positives ou négatives** selon le signe du déphasage



- le comparateur de phase a une **transmittance statique**  $K_d$  qui vaut :

$$K_d = \frac{\overline{u(t)}}{\Phi} \text{ en V/radian}$$

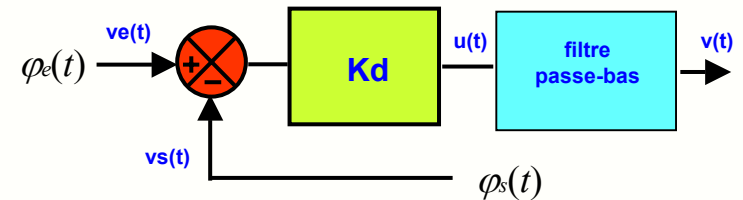
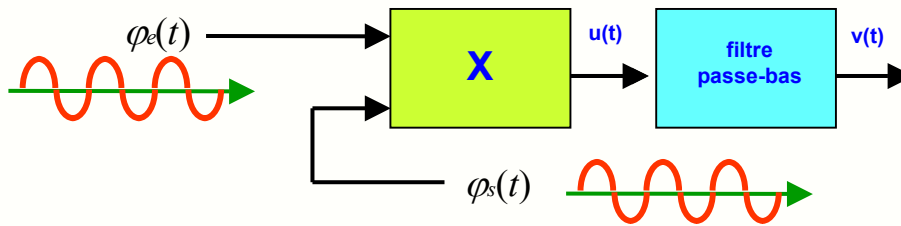
- la tension moyenne en sortie est proportionnelle au déphasage entre les deux signaux d'entrée
- le passe-bas lisse la tension  $u(t)$  en gardant sa valeur moyenne



# 10- Le comparateur de phase à mélangeur



Aux fréquences très élevées, on utilise comme comparateur de phase un **multiplieur** ( mélangeur Schottky ) suivi d'un filtre passe-bas.



- la tension en sortie du mélangeur s'écrit :

$$u(t) = k \cdot v_e(t) \cdot v_s(t) = k \cdot V_e \sin(\omega t + \varphi_e(t)) \cdot V_s \sin(\omega t + \varphi_s(t))$$

$$u(t) = 0,5 \cdot k \cdot V_e \cdot V_s \sin(2\omega t + \varphi_e(t) + \varphi_s(t)) + 0,5 \cdot k \cdot V_e \cdot V_s \sin(\varphi_e(t) - \varphi_s(t))$$

- le filtre passe-bas conserve la **partie basse du mélange** :

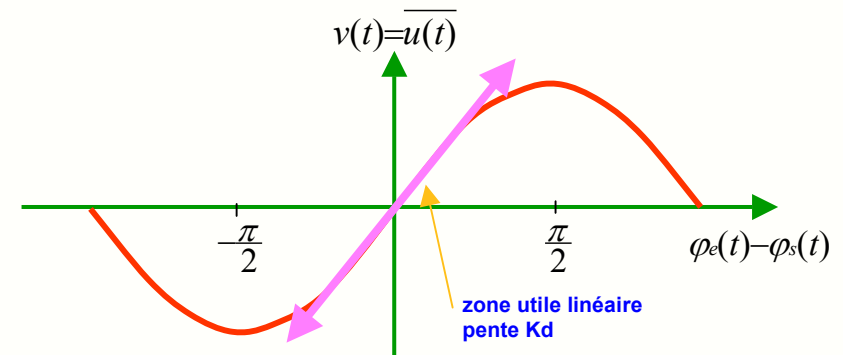
$$v(t) = 0,5 \cdot k \cdot V_e \cdot V_s \sin(\varphi_e(t) - \varphi_s(t))$$

- si le déphasage est faible, on peut assimiler le sinus à l'angle :

$$v(t) \approx 0,5 \cdot k \cdot V_e \cdot V_s \cdot (\varphi_e(t) - \varphi_s(t))$$

- la **transmittance statique**  $K_d$  du comparateur de phase vaut alors :

$$K_d = \frac{\overline{u(t)}}{\Phi} = 0,5 \cdot k \cdot V_e \cdot V_s \quad \text{en volts/radian}$$



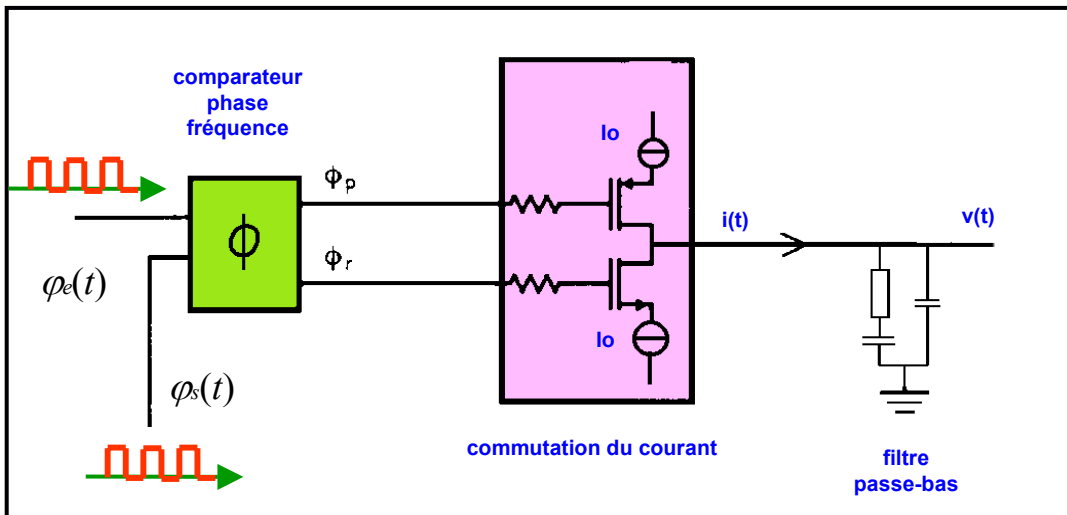
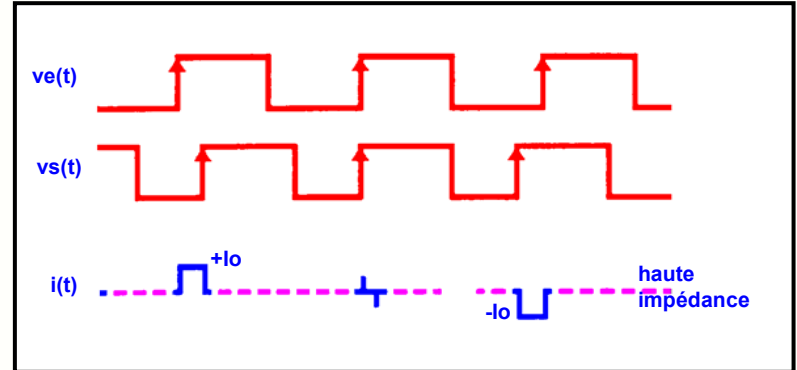
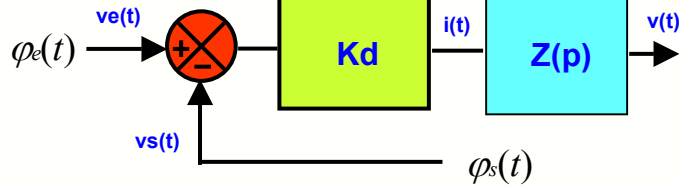


# 11- Le comparateur phase-fréquence à pompe de charge



On utilise le plus souvent aujourd'hui des comparateurs phase-fréquence avec sortie en courant dits à pompe de charge :

- une source de courant commandée par une logique appropriée fournit en sortie du comparateur des impulsions de courant
- ces impulsions sont positives ou négatives et de largeur variable selon la valeur et le signe du déphasage



▪ le courant moyen en sortie est proportionnel au déphasage entre les deux signaux d'entrée

▪ le comparateur de phase a une transmittance statique  $K_d$  qui vaut :

$$K_d = \frac{\overline{i(t)}}{\Phi} \text{ en ampères/radian}$$

▪ le passe-bas est attaqué en courant en fournit à sa sortie la tension de commande  $v(t)$  du VCO

▪ sa transmittance est homogène à une impédance  $Z(p)$

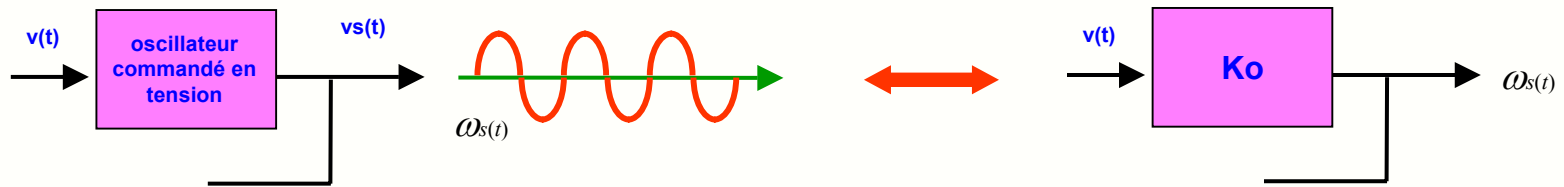


# 12- L'oscillateur commandé en tension



Les PLL peuvent fonctionner dans une gamme très large de fréquences, depuis les audiofréquences jusqu'à plusieurs gigahertz :

- le VCO doit bien-sûr couvrir la gamme de fréquence dans laquelle la PLL doit fonctionner
- les structures de VCO utilisées dépendront de la fréquence à laquelle doit travailler la boucle
- aux fréquences inférieures à quelques MHz, le VCO est simplement un **convertisseur tension-fréquence**
- aux fréquences plus élevées, on utilisera un oscillateur à transistors à circuit LC, ou stabilisé en fréquence par quartz ou résonateur céramique, la variation de fréquence étant obtenue par l'adjonction d'une **diode varicap** en parallèle sur le circuit oscillant

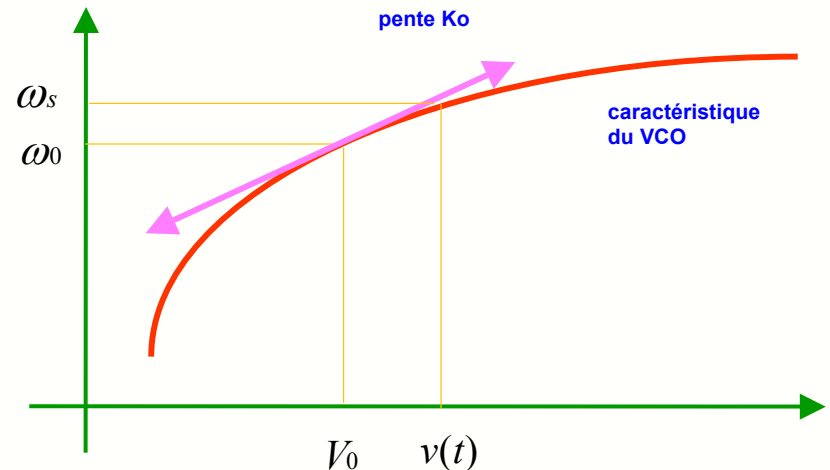


Le VCO est linéarisé autour de son point de fonctionnement  $f_0$  et caractérisé alors par sa **pente  $K_0$** , ou gain statique :

- la **transmittance statique  $K_0$**  est définie autour du point de repos correspondant à la tension  $V_0$

$$K_0 = \frac{\Delta \omega}{\Delta v} \text{ en rad/s.V}$$

- la PLL pourra fonctionner dans une plage de fréquence centrée sur  $f_0$
- certaines applications comme le démodulateur FM exigent une bonne **linéarité** du VCO, d'autres non (synthèse, extraction ...)



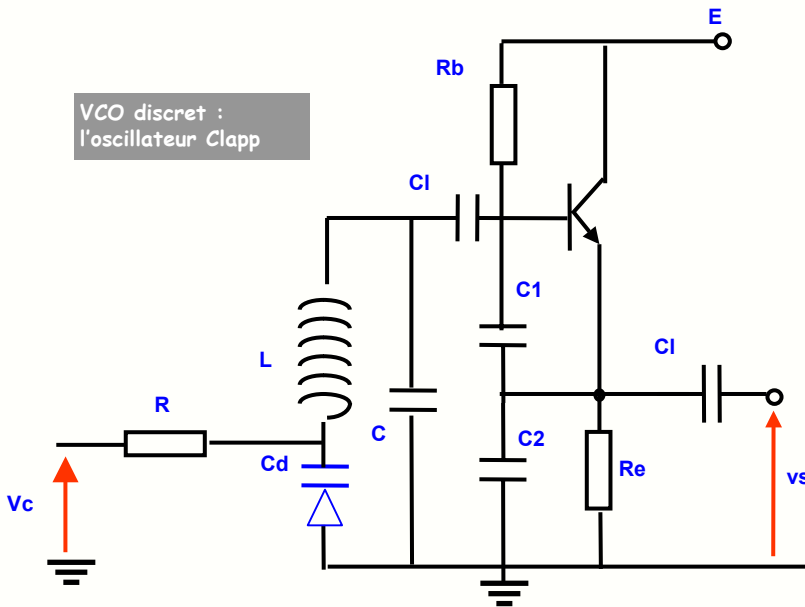


# 13- Exemples d'oscillateurs commandés en tension

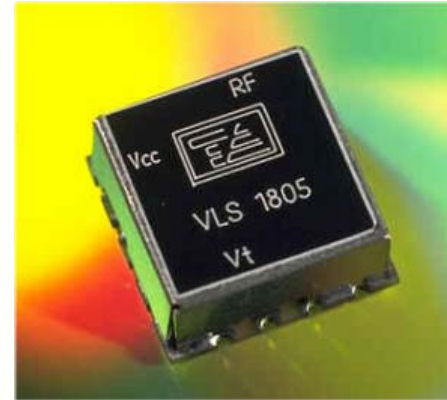


Dans une PLL, l'oscillateur peut être réalisé en **composants discrets**, avec un **VCO intégré** en un boîtier ou à l'aide d'un **circuit intégré oscillateur** spécialisé, les composants L, C, varicap étant extérieurs au circuit.

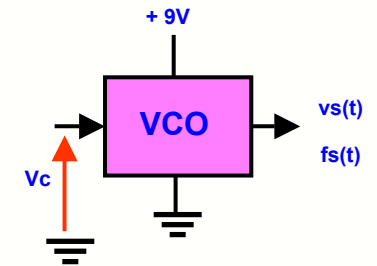
VCO discret :  
l'oscillateur Clapp



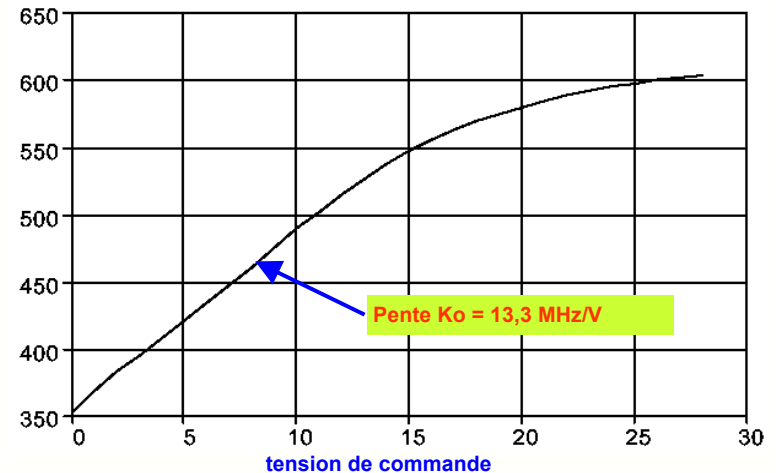
- la fréquence d'oscillation  $f_0$  est déterminée par l'inductance L, les valeurs des condensateurs C, C1 et C2 et de la varicap Cd
- la capacité de la varicap est liée à la tension de commande  $V_c$



VCO intégré



fréquence

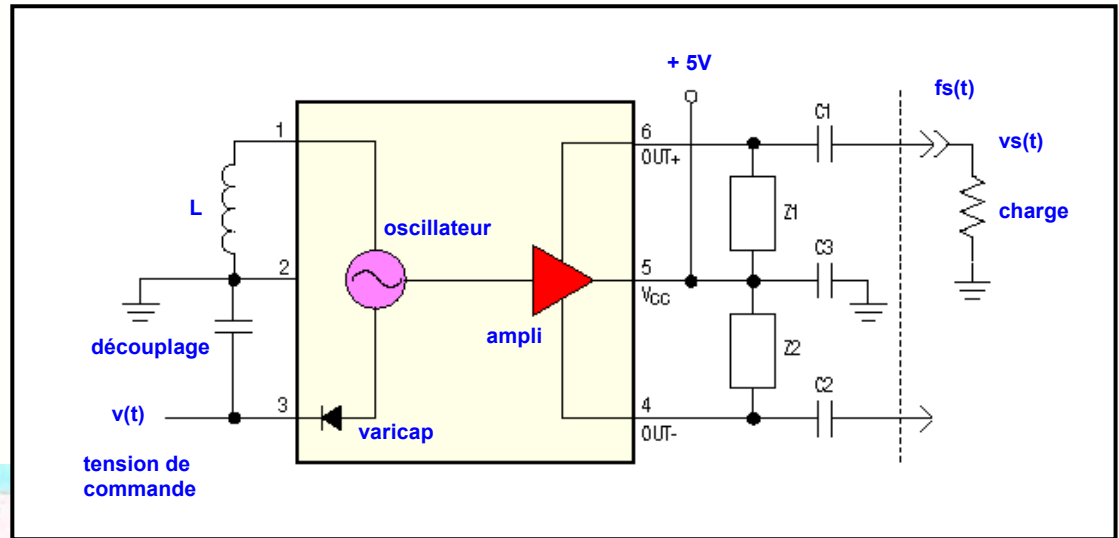




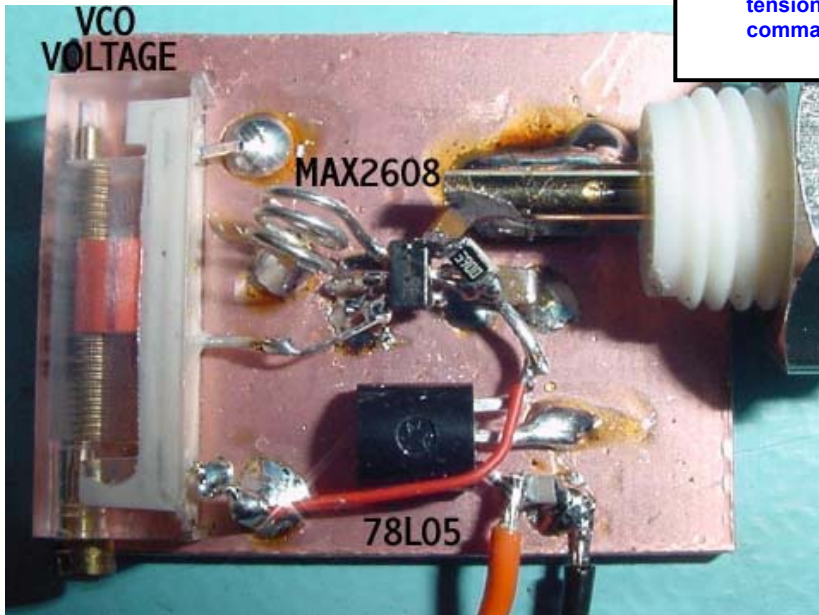
# 14- Exemple de VCO réalisé avec un circuit intégré



Des fabricants de circuits comme Maxim produisent des [circuit intégré oscillateurs](#) permettant de réaliser assez facilement un VCO avec une simple bobine extérieure, la varicap étant intégrée au circuit.



Prototype du VCO



VCO à MAX2608

- gamme de fréquence : 350 à 475 MHz
- tension de commande : 0 à 5 V
- niveau de sortie - 15 dBm
- boîtier SOT-23 à 158 transistors





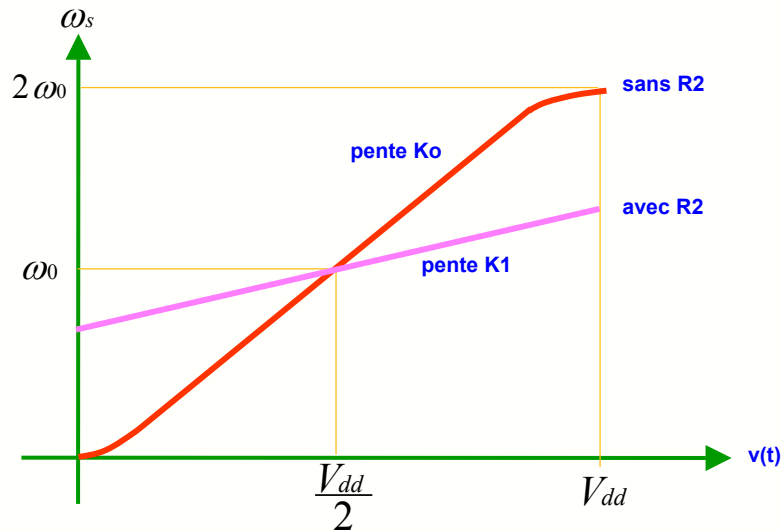
# 15- Exemple de CI pour PLL : le CD4046



Ce circuit CMOS permet de réaliser une boucle à verrouillage de phase et contient :

- un oscillateur commandé en tension, quasi linéaire sur grande plage, produisant des signaux carrés
- un comparateur de phase à OU Exclusif avec son trigger de mise en forme du signal d'entrée
- un comparateur phase-fréquence logique avec sortie en tension
- un suiveur de tension pour une utilisation en démodulateur

Le VCO fonctionne dans une plage de fréquences définie par les composants R1,R2 et C1 :

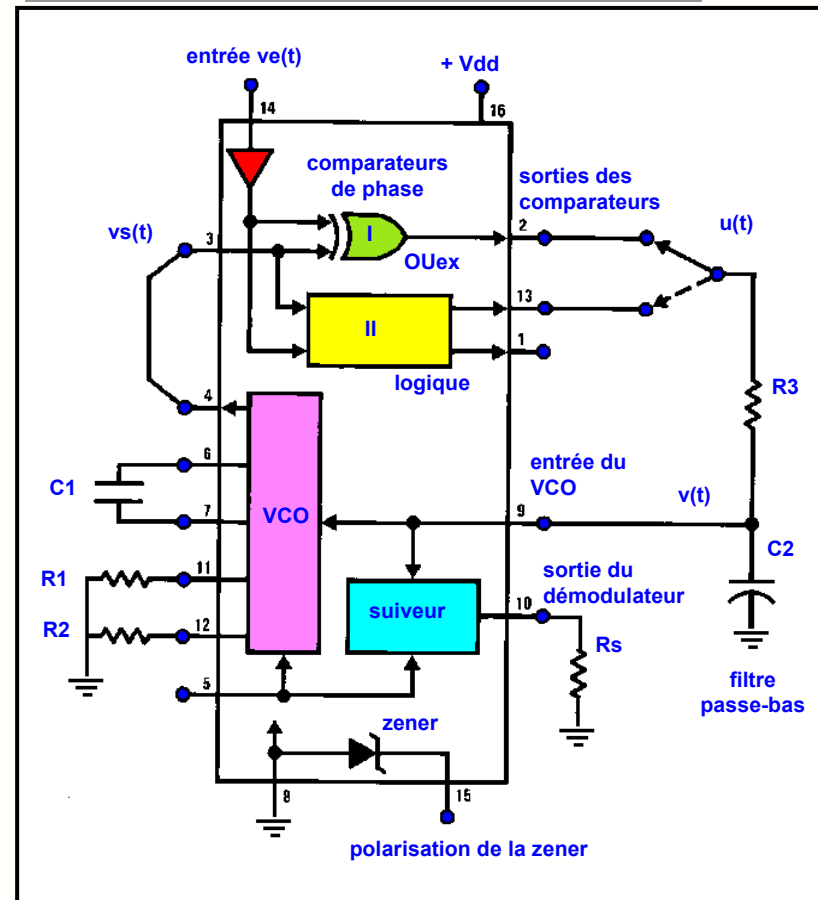


La boucle pourra se verrouiller dans une plage centrée sur la fréquence centrale  $f_0$  du VCO.

### Exemples :

- avec  $R1 = 10 \text{ kohms}$ ,  $R2$  infinie et  $C1 = 220 \text{ pF}$ , on a  $f_0 = 100 \text{ kHz}$
- avec  $R1 = R2 = 10 \text{ kohms}$ ,  $C1 = 1 \text{ nF}$ , le VCO va de  $70$  à  $140 \text{ kHz}$

Structure d'une PLL construite autour du CD4046

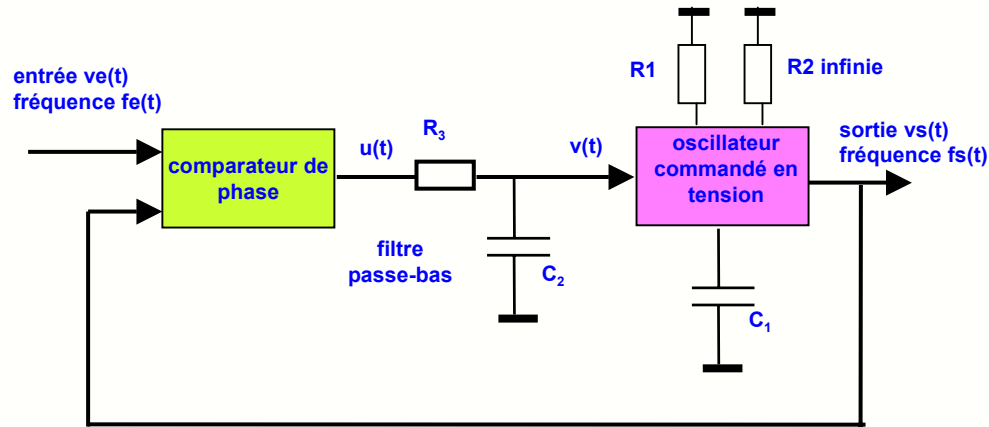




# 16- La PLL à CD4046 en fonctionnement



La PLL étudiée est construite autour du CD4046, avec un VCO centré sur 100 kHz et un filtre passe-bas du premier ordre :



### Valeurs numériques :

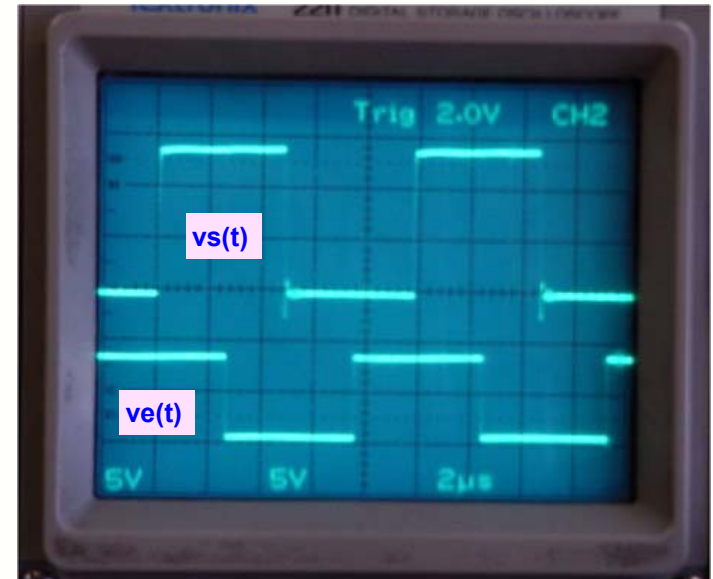
- $R1 = 10 \text{ kohms}$ ,  $R2 \text{ infinie}$  et  $C1 = 220 \text{ pF}$
- fréquence centrale du VCO :  $f_0 = 100 \text{ kHz}$
- $R3 = 10 \text{ kohms}$ ,  $C3 = 10 \text{ nF}$
- fréquence de coupure  $f_c = 1600 \text{ Hz}$
- $f_c = 2f_0/125$  ( plus de 2 décades sous  $2f_0$ )
- comparateur de phase : Ou Exclusif

Si la fréquence du signal appliqué à l'entrée est voisine de 100 kHz, la boucle se verrouille :

- quand la boucle est verrouillée, on a égalité parfaite entre les fréquences d'entrée et de sortie
- le déphasage entre le signal d'entrée et de sortie dépend de la fréquence injectée

**Vidéo : le fonctionnement de la PLL**

**Vidéo : signal d'entrée (trace du bas) et de sortie (trace du haut) d'une PLL verrouillée**

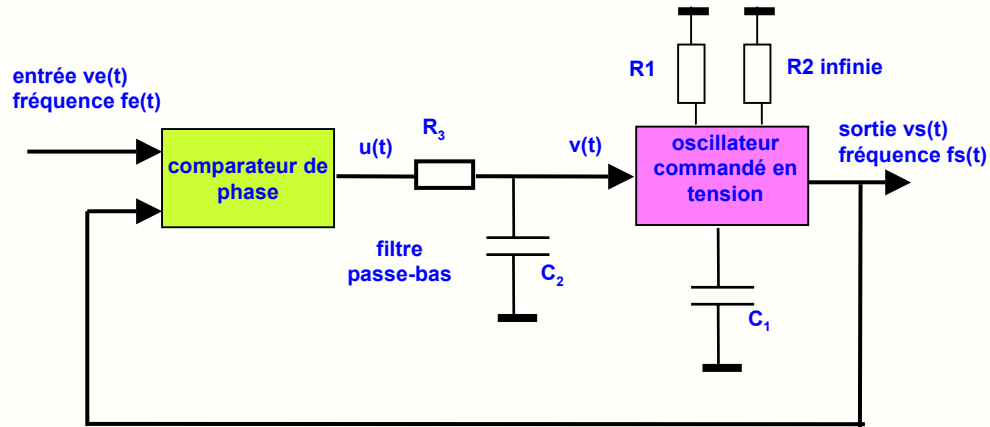




# 17- La PLL à CD4046 : les signaux



La PLL étudiée est construite autour du CD4046, avec un VCO centré sur 100 kHz et un filtre passe-bas du premier ordre :

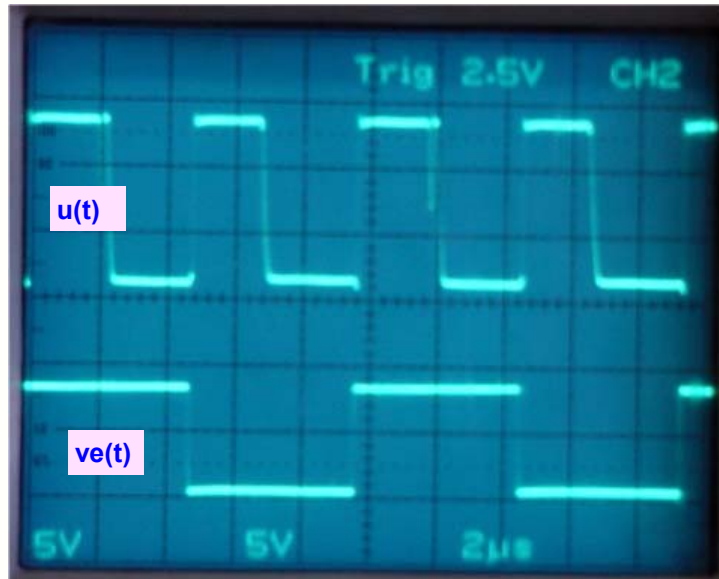


- $v_e(t)$  et  $v_s(t)$  sont **déphasés** et de même fréquence
- le **rapport cyclique** de  $u(t)$  dépend du déphasage
- la **valeur moyenne**  $v(t)$  de  $u(t)$  dépend du déphasage
- la valeur moyenne  $v(t)$  produit la fréquence  $f_s(t)$

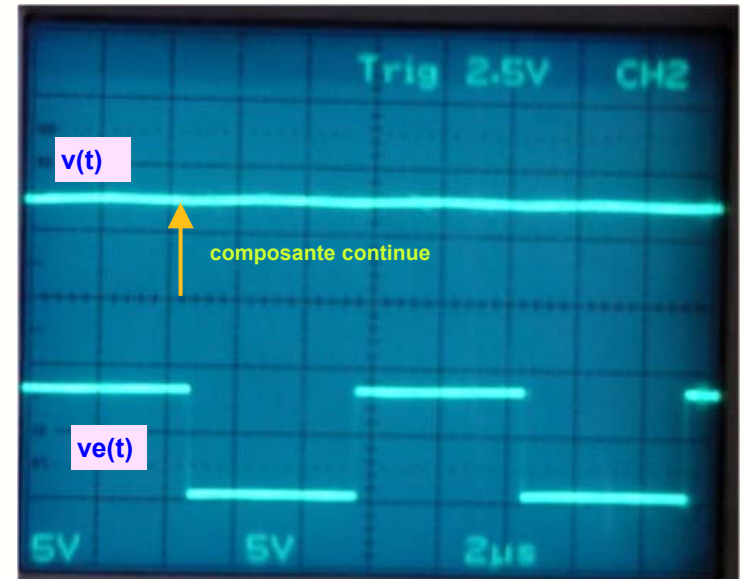
### Exemple :

- on injecte un signal de fréquence  $f_e(t) = f_0$
- la fréquence de sortie sera aussi égale à  $f_s(t) = f_0$
- le VCO devra être commandé par  $v(t) = V_{dd}/2$
- le rapport cyclique devra être de 0,5
- le déphasage entre  $v_e(t)$  et  $v_s(t)$  sera de 90 degrés

Allure du signal en sortie du Ou Exclusif



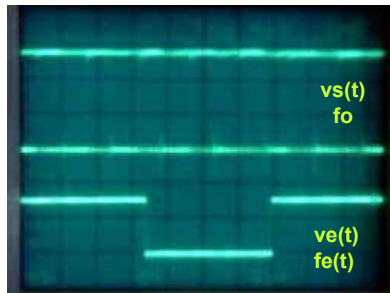
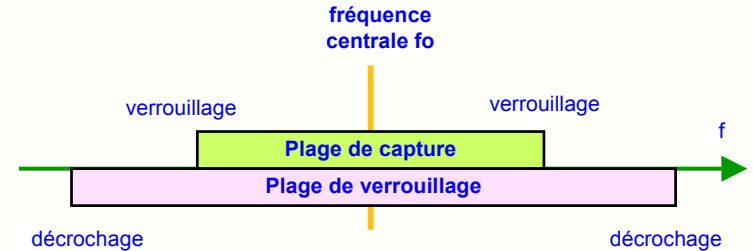
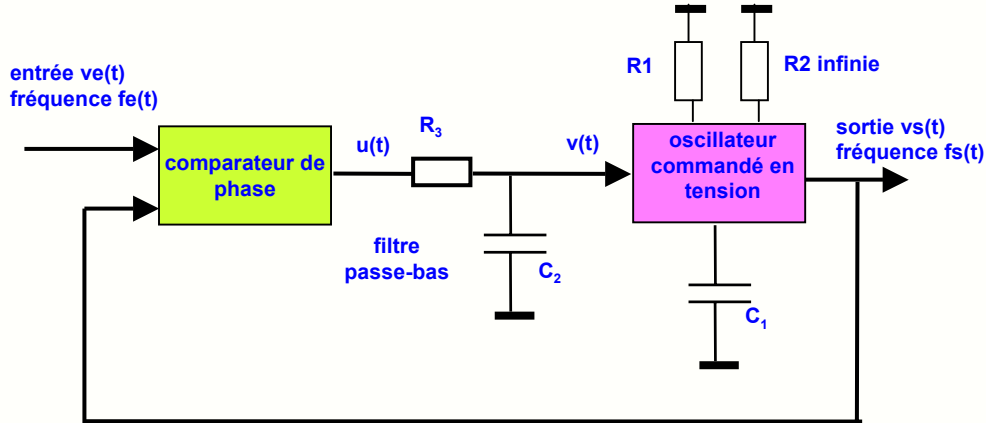
Allure du signal de commande du VCO



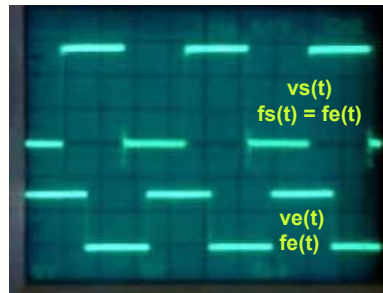
# 18- La PLL à CD4046 : capture et décrochage



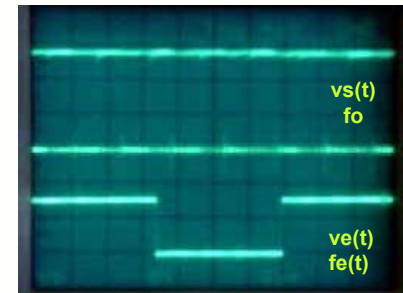
La PLL étudiée est construite autour du CD4046, avec un VCO centré sur 100 kHz et un filtre passe-bas du premier ordre :



capture



décrochage



- au départ, la fréquence  $f_e$  d'entrée (trace du bas) est très faible, la PLL n'est pas verrouillée, le VCO est à  $f_o$  (trace du haut)
- si on augmente  $f_e$ , on finit par atteindre la fréquence de **capture** à laquelle la boucle se **verrouille**
- une fois la boucle verrouillée, la fréquence de sortie  $f_s$  du VCO suit la fréquence  $f_e$  injectée dans la boucle

- au départ, la PLL est verrouillée, la fréquence du VCO (trace du haut) est rigoureusement égale à la fréquence d'entrée (trace du bas)
- si la fréquence  $f_e$  du signal injecté diminue, on finit par atteindre la limite de la plage de verrouillage et la boucle **décroche**
- le VCO revient alors à sa fréquence centrale  $f_o$  et on n'a plus égalité entre les fréquences d'entrée et de sortie

Vidéo : accrochage d'une PLL

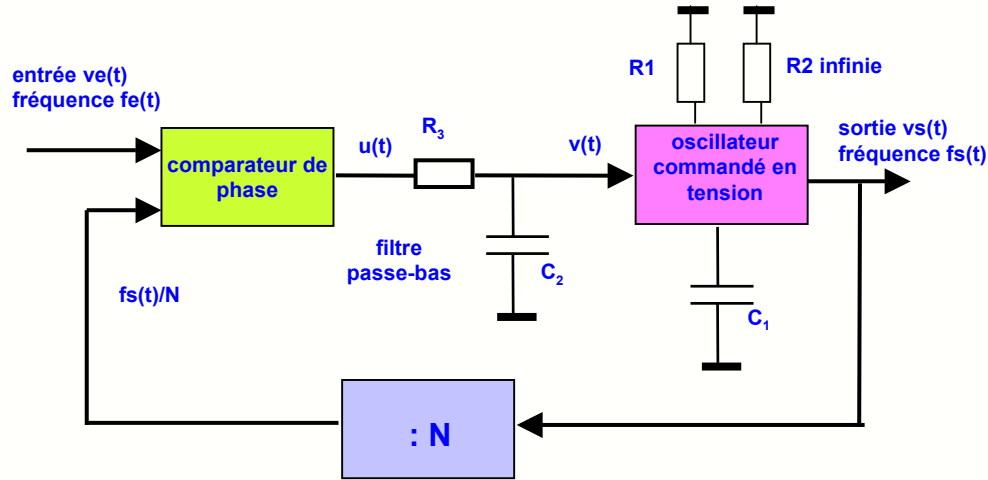
Vidéo : décrochage d'une PLL



# 19- La PLL à CD4046 : multiplication de fréquence



La PLL étudiée est construite autour du CD4046, avec un VCO centré sur 100 kHz, un filtre passe-bas du premier ordre et un diviseur par N dans la boucle de retour :



Lorsque la boucle est verrouillée, la fréquence de sortie est N fois plus élevée que la fréquence d'entrée :  $fs(t) = N \cdot fe(t)$

Multiplicateur de fréquence par 5



$vs(t)$   
 $fs(t) = 5 \cdot fe(t)$

**N = 5**

$ve(t)$   
 $fe(t)$

Multiplicateur de fréquence par 10



$vs(t)$   
 $fs(t) = 10 \cdot fe(t)$

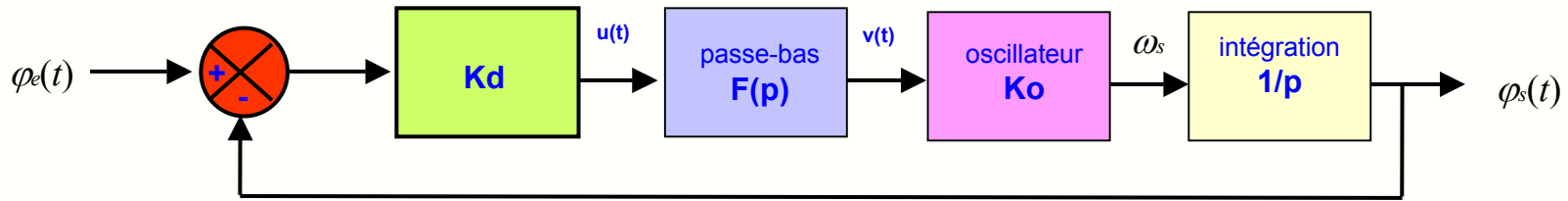
**N = 10**

$ve(t)$   
 $fe(t)$

## 20- Élaboration du schéma fonctionnel de la PLL



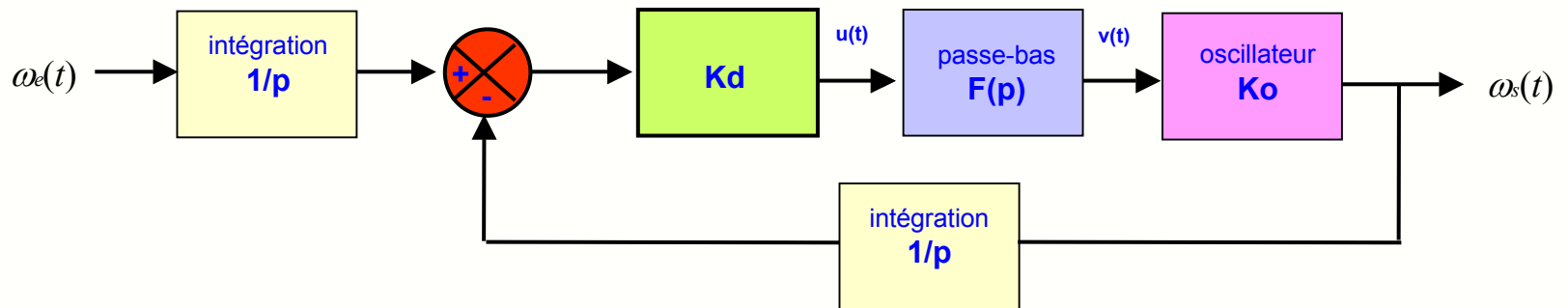
Pour des variations autour du point de repos défini par  $\omega_0$ , et si on s'intéresse aux phases des signaux d'entrée et de sortie, le schéma fonctionnel de la boucle s'établit ainsi :



La transmittance de Laplace en boucle ouverte de ce système asservi s'écrit :

$$T(p) = \frac{\varphi_s(t)}{\varphi_e(t)} = \frac{K_o \cdot K_d \cdot F(p)}{p}$$

Il est souvent plus intéressant de travailler avec les pulsations des signaux d'entrée et de sortie, ce qui se fait facilement en modifiant un peu le schéma fonctionnel :

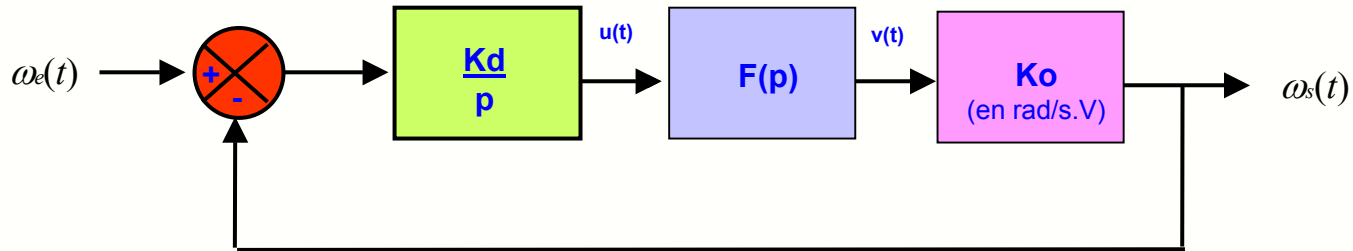


La transmittance de Laplace en boucle ouverte de ce système asservi est la même que précédemment.

## 21- Schéma fonctionnel standard de la PLL



Le schéma peut encore se simplifier en déplaçant les deux intégrateurs et on obtient ainsi le schéma fonctionnel standard d'une PLL :

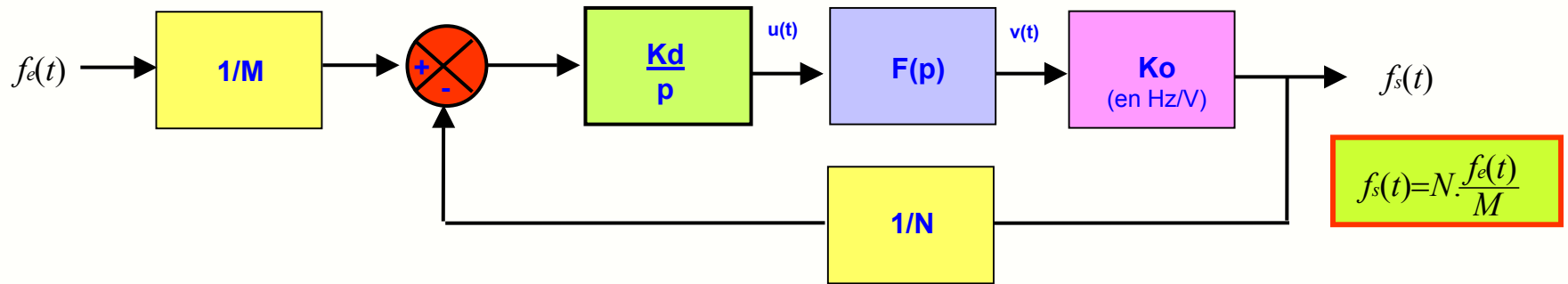


La transmittance de Laplace en boucle ouverte de ce système asservi s'écrit :

$$T(p) = \frac{\omega_s(t)}{\omega_e(t)} = \frac{K_0 \cdot K_d \cdot F(p)}{p}$$

**Remarque :** ce schéma fonctionnel ne correspond plus à la réalité puisque le comparateur est maintenant un comparateur de fréquence, mais a l'avantage d'avoir comme grandeurs d'entrée et de sortie des pulsations, qui sont plus agréables à manipuler que des phases

Si on exprime la pente du VCO en Hz/V et non plus en rad/s.V, les grandeurs d'entrée et de sortie seront les fréquences. Si on rajoute les diviseurs par M et N, on obtient le schéma fonctionnel du synthétiseur de fréquence :



$$f_s(t) = N \cdot \frac{f_e(t)}{M}$$

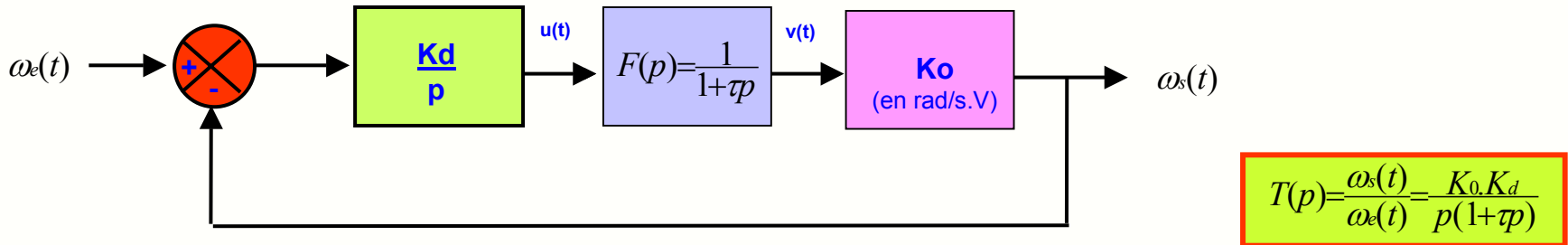
La transmittance de Laplace en boucle ouverte de ce système asservi s'écrit :

$$T(p) = \frac{f_s(t)}{f_e(t)} = \frac{K_0 \cdot K_d \cdot F(p)}{N \cdot p}$$

## 22- Précision de l'asservissement de fréquence



Si on utilise comme filtre de boucle le passe-bas le plus simple, c'est-à-dire un **premier ordre**, la transmittance de boucle s'écrit :



- si on applique une **variation de consigne en échelon** à l'entrée de la PLL :  $\omega_e(t) = \Omega_0$  soit  $\omega_e(p) = \frac{\Omega_0}{p}$

- l'erreur s'écrit alors :  $\varepsilon(t) = \omega_e(t) - \omega_s(t) = \omega_e(t) - \omega_e(t) \cdot \frac{T(p)}{1+T(p)} = \frac{\omega_e(t)}{1+T(p)}$

- l'erreur en régime permanent vaut :  $\varepsilon = \lim_{t \rightarrow \infty} \varepsilon(t) = \lim_{p \rightarrow 0} \left[ p \cdot \frac{\omega_e(p)}{1+T(p)} \right] = \lim_{p \rightarrow 0} \left[ p \cdot \frac{\Omega_0}{p \left( 1 + \frac{K_o \cdot K_d}{p(1+\tau p)} \right)} \right] = 0$

**Résultat :** quel que soit le passe-bas utilisé, la pll est au moins de classe 1, l'erreur à une entrée constante est nulle, la fréquence de sortie est rigoureusement égale à la fréquence d'entrée.

- ce résultat très simple est bien-sûr capital pour toutes les applications en **synthèse de fréquence** dans lesquelles la **consigne est toujours constante** et la **précision parfaite**
- si le signal d'entrée a une **fréquence variable** ( cas du démodulateur FM par exemple ), on améliore la précision du système en utilisant un filtre passe-bas qui introduit une **intégration supplémentaire** pour passer en **classe 2**





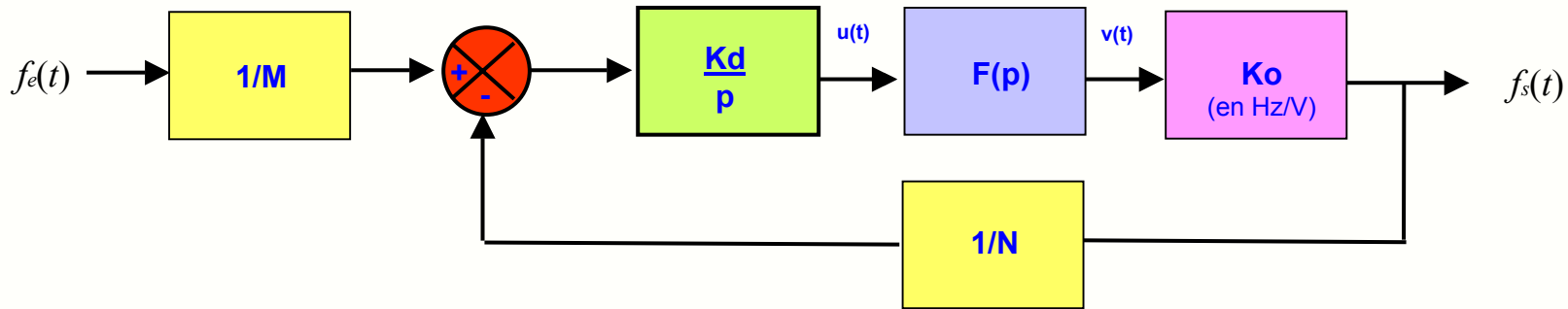
# 23- Le régime transitoire de la PLL



Une PLL se trouve en régime transitoire lorsqu'on modifie :

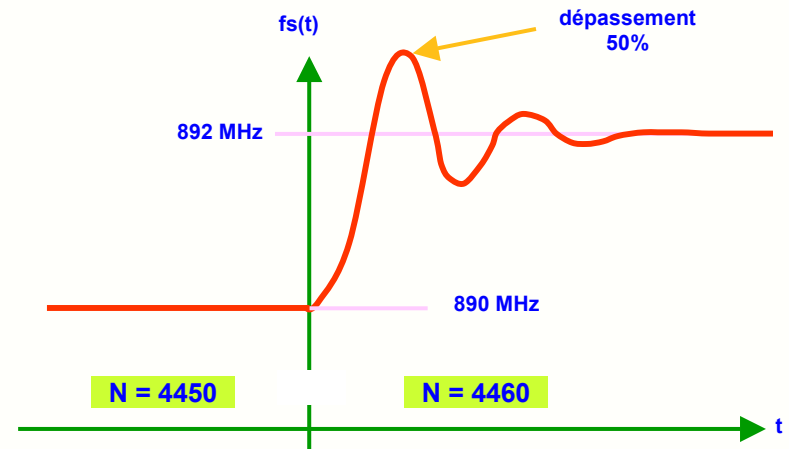
- la **consigne  $f_e(t)$**  ce qui arrive en permanence si la PLL est utilisée en démodulation de fréquence
- le **diviseur  $N$  programmable** si on souhaite changer la fréquence  $f_s(t)$  produite

Dans tous les cas, la forme du régime transitoire dépend, comme pour tout système bouclé, de la **marge de phase** de la PLL et donc de la **transmittance en boucle ouverte  $T(p)$**  du système.



Exemple de synthétiseur pour le GSM :  $f_e = 13$  MHz,  $M = 65$

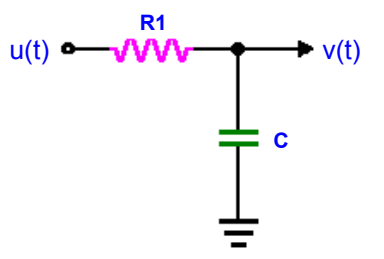
- avant  $t = 0$ , le diviseur est réglé à  $N = 4450$ , soit  $f_s = 890$  MHz
- à  $t = 0$ , on programme  $N' = 4460$ , soit  $f'_s = 892$  MHz
- avant de se stabiliser à 892 MHz, la **fréquence fluctue**
- le régime transitoire peut être **oscillant ou non**
- le signal  $v_s(t)$  est "en accordéon" durant le régime transitoire



**Règle : la forme du régime transitoire dépend essentiellement du type de filtre passe-bas  $F(p)$  utilisé**

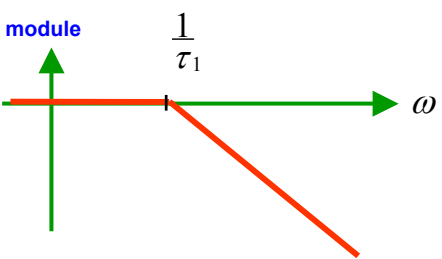


# 24- Les différents filtres de boucle

$$F(p) = \frac{1}{1 + \tau_1 p}$$

module

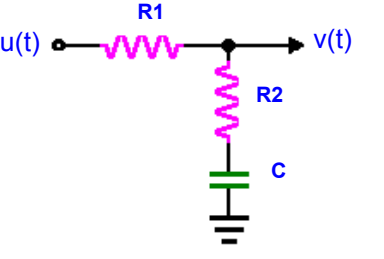


$\omega$

$\tau_1 = RC$

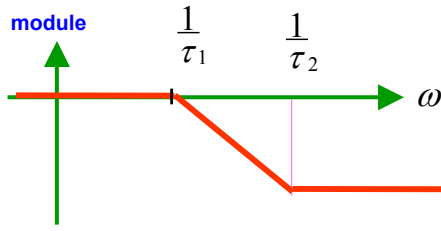
$$T(p) = \frac{K_0 K_d}{p(1 + \tau_1 p)}$$

Système de classe 1



$$F(p) = \frac{1 + \tau_2 p}{1 + \tau_1 p}$$

module

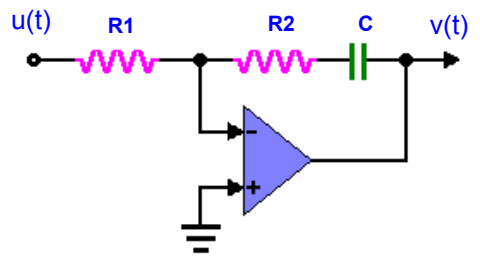


$\omega$

$\tau_2 = RC$   
 $\tau_1 = (R_1 + R_2)C$

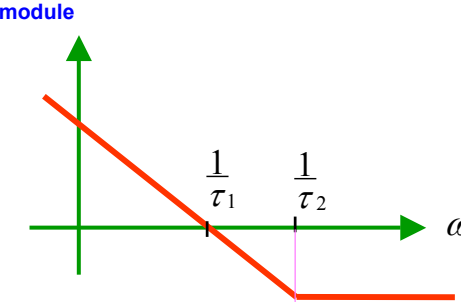
$$T(p) = \frac{K_0 K_d (1 + \tau_2 p)}{p(1 + \tau_1 p)}$$

Système de classe 1



$$F(p) = \frac{1 + \tau_2 p}{\tau_1 p}$$

module



$\omega$

$\tau_1 = RC$   
 $\tau_2 = R_2 C$

(compenser le signe - par un inverseur)

$$T(p) = \frac{K_0 K_d (1 + \tau_2 p)}{\tau_1 p^2}$$

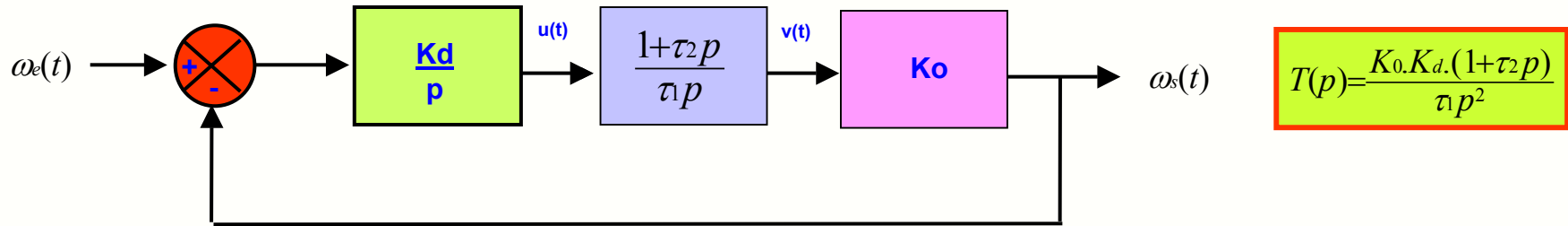
Système de classe 2



# 25- PLL avec filtre de boucle actif



Soit une PLL qui utilise comme filtre de boucle le filtre actif vu précédemment :

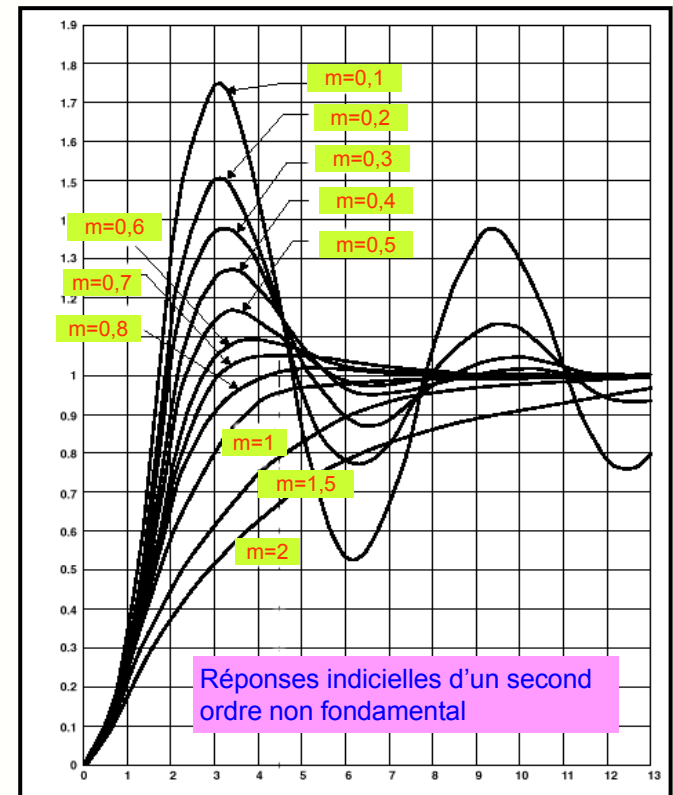


La transmittance de Laplace en boucle fermée de ce système asservi s'écrit :

$$T(p) = \frac{T(p)}{1+T(p)} = \frac{1+\tau_2 p}{1+\tau_2 p + \frac{\tau_1 p^2}{K_0 K_d}}$$

- pulsation propre  $\omega_0 = \sqrt{\frac{K_0 K_d}{\tau_1}}$
- amortissement  $m = 0,5 \cdot \tau_2 \sqrt{\frac{\tau_1}{K_0 K_d}}$

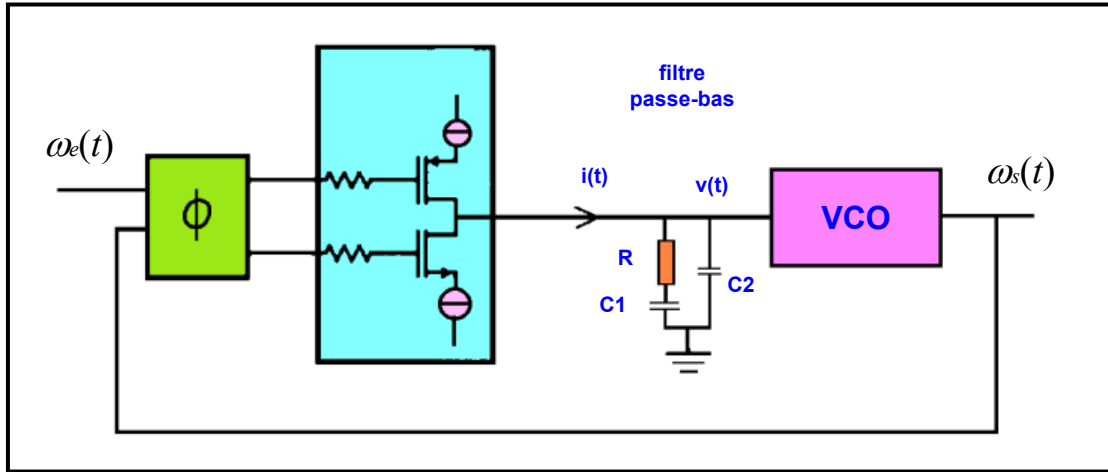
- le système est un **second ordre non fondamental** dont la **pulsation propre** et l'**amortissement** peuvent être réglés par les 2 constantes de temps.
- en choisissant des valeurs convenables, le concepteur de la PLL pourra s'assurer d'un régime transitoire correct, c'est à dire un **temps de réponse court** et un **dépassement raisonnable**.
- pour avoir un amortissement correct et un dépassement  $d = 20\%$  il convient de choisir une valeur de l'ordre de  $m = 0,7$



## 26- PLL avec pompe de charge et filtre passif



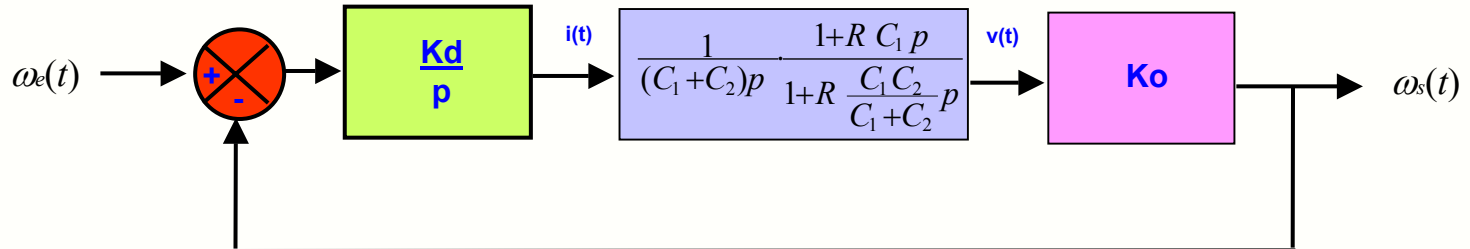
Cette structure est devenue un standard dans les équipements de télécommunications car elle allie simplicité et performance :



- l'impédance du filtre de boucle s'écrit :

$$Z(p) = \frac{1}{(C_1 + C_2)p} \frac{1 + R C_1 p}{1 + R \frac{C_1 C_2}{C_1 + C_2} p}$$

- le comparateur de phase est défini par sa transmittance statique  $K_d$  en A/rad



- la transmittance de Laplace en boucle ouverte de ce système asservi s'écrit :

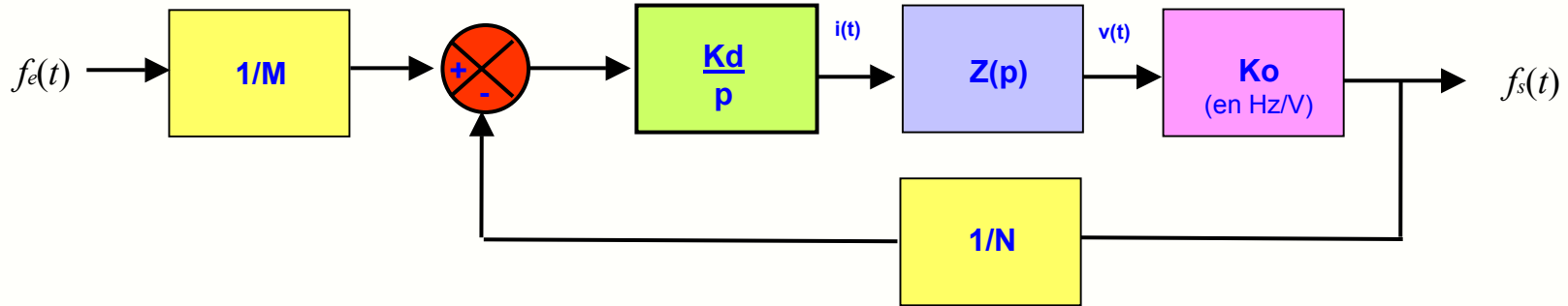
$$T(p) = \frac{K_d K_0}{(C_1 + C_2)p^2} \frac{1 + R C_1 p}{1 + R \frac{C_1 C_2}{C_1 + C_2} p}$$

- ce système est de **classe 2** sans nécessiter de filtre actif, ce qui lui donne la supériorité sur les autres structures à filtre passif.

## 27- Réglage de la PLL à pompe de charge



Le synthétiseur de fréquence utilisant un comparateur de phase à pompe de charge et un filtre passif a le schéma fonctionnel suivant :



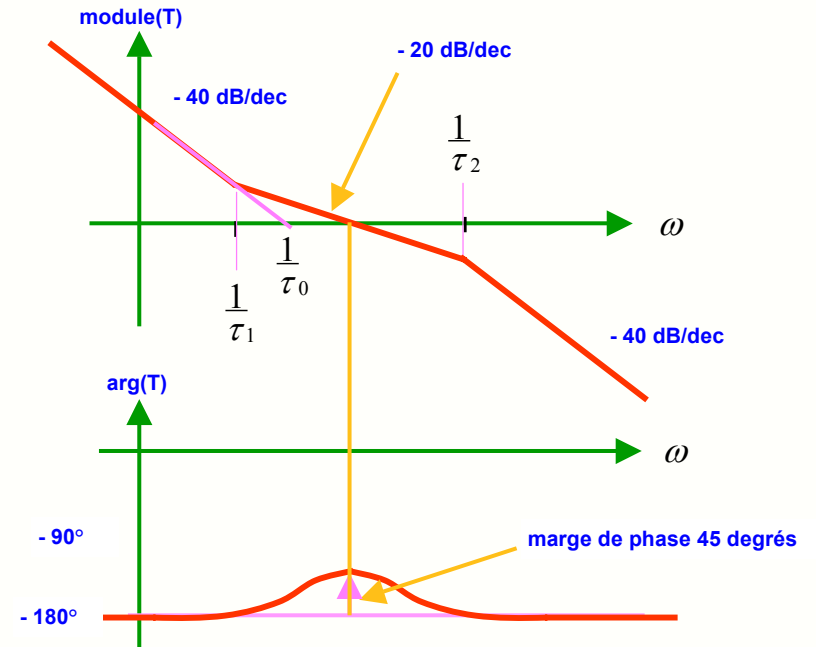
la transmittance de boucle s'écrit :

$$T(p) = \frac{K_d K_0}{N \cdot (C_1 + C_2) p^2} \cdot \frac{1 + R C_1 p}{1 + R \frac{C_1 C_2}{C_1 + C_2} p} = \frac{1}{(\tau_0 p)^2} \cdot \frac{1 + \tau_1 p}{1 + \tau_2 p}$$

avec  $\tau_0 = \sqrt{\frac{N \cdot (C_1 + C_2)}{K_0 \cdot K_d}}$      $\tau_1 = R C_1$      $\tau_2 = R \frac{C_1 \cdot C_2}{C_1 + C_2}$

par un choix correct des composants R, C1 et C2, on assure au système une **marge de phase de 45 degrés** et donc une stabilité correcte

le système est de **classe 2** et offre une erreur nulle à une entrée constante et en rampe

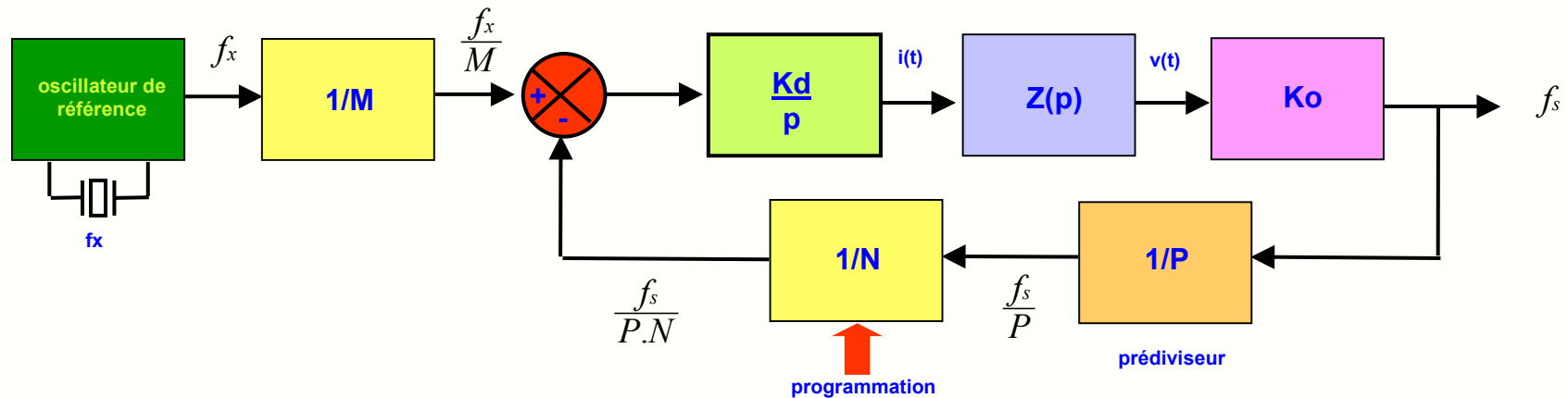


**Applet** : calcul des composants du filtre R, C1 et C2

## 28- Le synthétiseur de fréquence à prédiviseur



La grande famille des synthétiseurs de fréquence permet de produire, à partir d'un **oscillateur à quartz de référence** de fréquence  $f_x$ , un signal dont la fréquence peut varier par pas et dont la stabilité est la même que celle de l'oscillateur pilote :



- lorsque la fréquence de sortie  $f_s$  est trop élevée pour le diviseur programmable du circuit synthétiseur, on intercale un prédiviseur par  $P$  dont il existe des versions montant à la dizaine de GHz

- la boucle assure l'égalité des fréquences à l'entrée du comparateur de phase, soit :  $\frac{f_s}{P \cdot N} = \frac{f_x}{M}$  d'où  $f_s = P \cdot N \cdot \frac{f_x}{M}$

- le **pas de la synthèse** correspondant à une incrémentation de  $N$  de 1 vaut  $P \cdot f_x / M$  : la présence du prédiviseur augmente le pas

- un **pas faible** donne une fréquence faible en sortie du comparateur de phase, nécessite une **fréquence de coupure du filtre de boucle basse** et induit un **temps de réponse assez long** pour le synthétiseur

**Exemple** : pour réaliser un **synthétiseur dans la gamme CB** autour de 27 MHz,

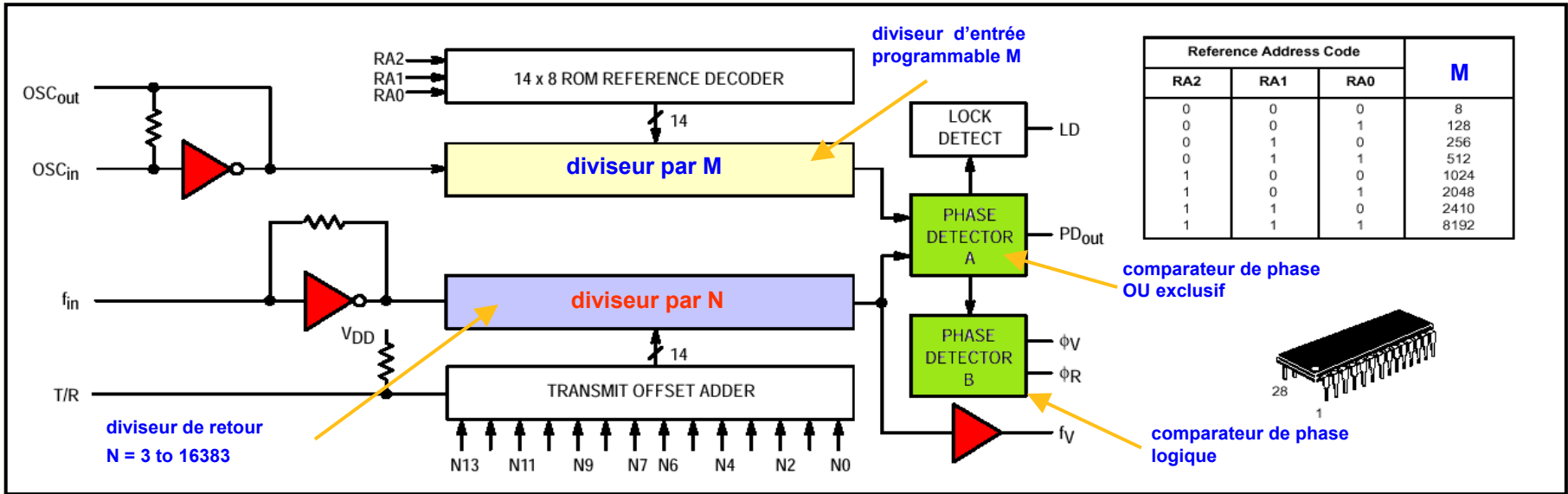
- les fréquences des canaux d'émission valent :  $f_1 = 26,965 \text{ MHz}$       $f_n = 26,965 + (n-1) \cdot 0,01 \text{ MHz}$       $f_{40} = 27,405 \text{ MHz}$
- les valeurs  $n = 3, 8, 13, 18$  et  $23$  n'étant pas autorisées, il reste donc 40 canaux utiles pour les Cibistes, allant du **canal 1** (26,965 MHz) au **canal 40** (27,405 MHz) par **pas de 10 kHz**
- on pourra choisir les valeurs suivantes :  $f_x = 1 \text{ MHz}$ ,  $M = 200$ , pas de prédiviseur,  $N$  variant de 5393 à 5481 avec un **incrément de 2**



# 29- Exemple de circuit pour synthétiseur de fréquence

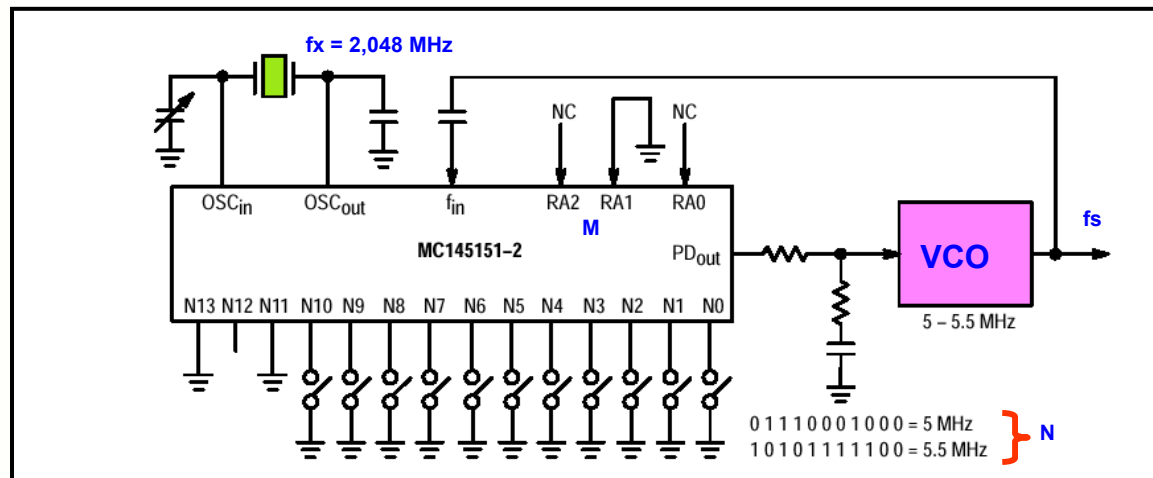


Le circuit MC145151 de Motorola contient tous les éléments nécessaires à la réalisation d'un synthétiseur, hormis le VCO et le passe-bas :



## Application :

- synthétiseur 5 à 5,5 MHz, pas de 1 kHz
- Ra = « 101 », soit M = 2048
- fréquence de référence  $f_x = 2048$  kHz
- fréquence d'entrée  $f_x/M = 1$  kHz
- N = 5000 donne  $f_s = 5$  MHz
- N = 5500 donne  $f_s = 5,5$  MHz



La boucle à verrouillage de phase

jean-philippe muller



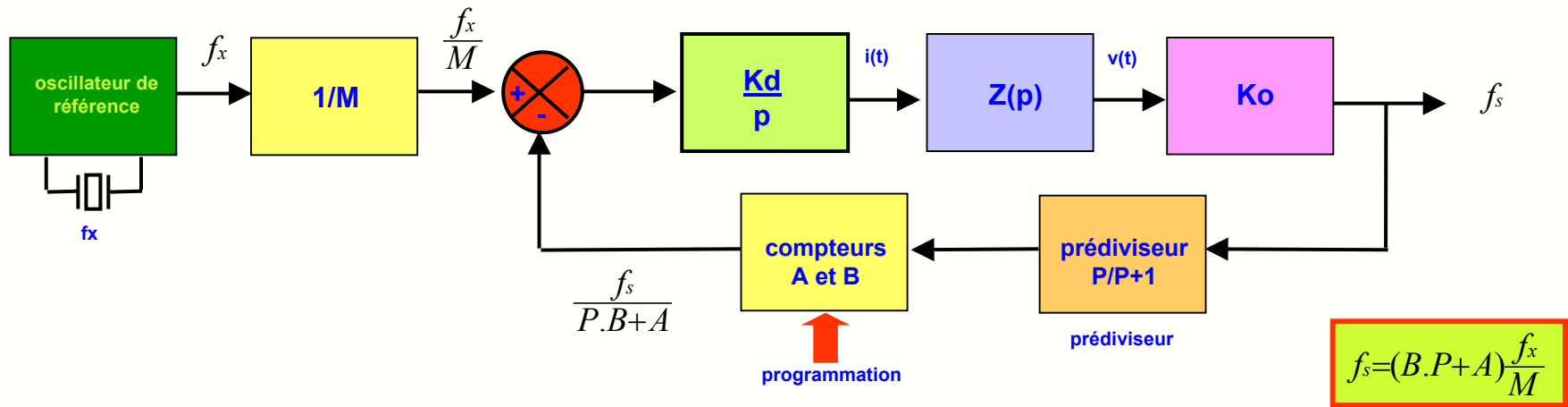


# 31- Le synthétiseur à diviseur fractionnaire



Les équipements de télécommunications sont souvent « à agilité de fréquence » car les fréquences changent rapidement :

- le temps de réponse de la PLL est donc un paramètre fondamental et doit être court malgré un pas de synthèse faible
- pour résoudre ce problème on utilise actuellement un prédiviseur par P/P+1 programmable et commandé par le diviseur principal



- le diviseur principal est formé de deux compteurs programmés aux valeurs A et B (avec B > A) recevant les impulsions du prédiviseur
- le prédiviseur commence par diviser par P+1 jusqu'à ce que le compteur A soit plein, puis passe à P jusqu'à ce que B soit plein
- le rapport de division est alors  $K = (P+1) \cdot A + P \cdot (B-A)$  soit  $K = P \cdot B + A$
- lorsqu'on incrémente A d'une unité, le pas est à nouveau de  $f_x/M$ , malgré la présence du prédiviseur
- cette structure permet de concilier rapidité et pas de synthèse faible, les compteurs A et B étant gérés par un microcontrôleur.

**Exemple :** synthèse des fréquences d'émission d'un GSM émettant sur 125 canaux espacés de 200kHz :

- fréquences d'émission :  $f_1 = 890 \text{ MHz}$       $f_n = 890 + (n-1) \cdot 0,2 \text{ MHz}$       $f_{125} = 914,8 \text{ MHz}$
- les valeurs utilisées dans un GSM sont :  $f_x = 13 \text{ MHz}$ ,  $M = 65$ , prédiviseur par  $P = 64/65$
- le canal 1 à 890 MHz sera obtenu avec  $A = 34$  et  $B = 69$  :  $f_s = (69 \cdot 64 + 34) \cdot 0,2 = 890 \text{ MHz}$
- le filtre passe-bas doit filtrer un signal à  $2 \cdot 200 = 400 \text{ kHz}$ , on pourra donc choisir  $f_c = 10 \text{ kHz}$
- cette fréquence de coupure correspond à un temps de réponse de l'ordre de 50 microsecondes satisfaisant pour le GSM

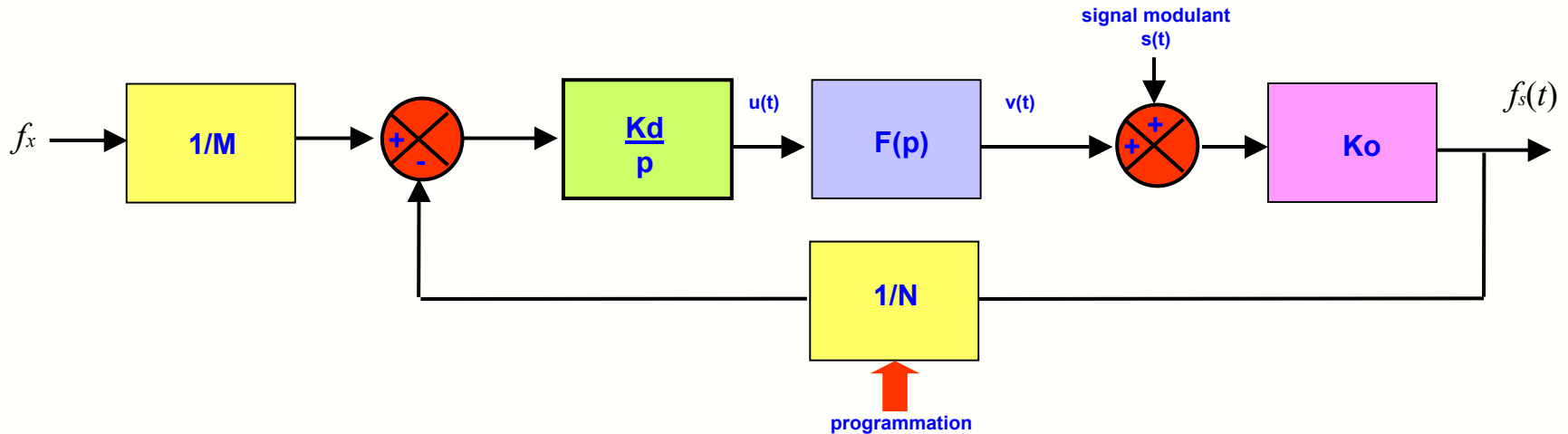


# 32- Le synthétiseur modulateur de fréquence



Lorsqu'on veut produire un signal modulé en fréquence, on est confronté à deux exigences contradictoires à savoir une **bonne stabilité de la porteuse  $f_0$**  et une **excursion en fréquence** autour de  $f_0$  suffisante.

- l'oscillateur LC muni d'une varicap n'est pas très stable dans le temps mais permet d'avoir une excursion satisfaisante
- l'oscillateur à quartz est très stable mais ne permet pas une excursion correcte
- la boucle à verrouillage de phase permet d'allier bonne stabilité et excursion en fréquence importante



- la PLL est accrochée sur un oscillateur à quartz de référence à la fréquence  $f_x$  et la fréquence de sortie vaut :  $f_s = N \cdot f_x / M$
- si on injecte le signal BF modulant  $s(t)$  en superposition avec  $v(t)$ , la fréquence  $f_s(t)$  variera et la PLL va chercher à compenser ces variations
- en choisissant une fréquence de coupure  $f_c$  du passe-bas très basse, la PLL sera incapable de corriger ces variations
- la boucle est alors efficace vis-à-vis des dérives lentes du VCO, mais inexistante vis-à-vis de la modulation

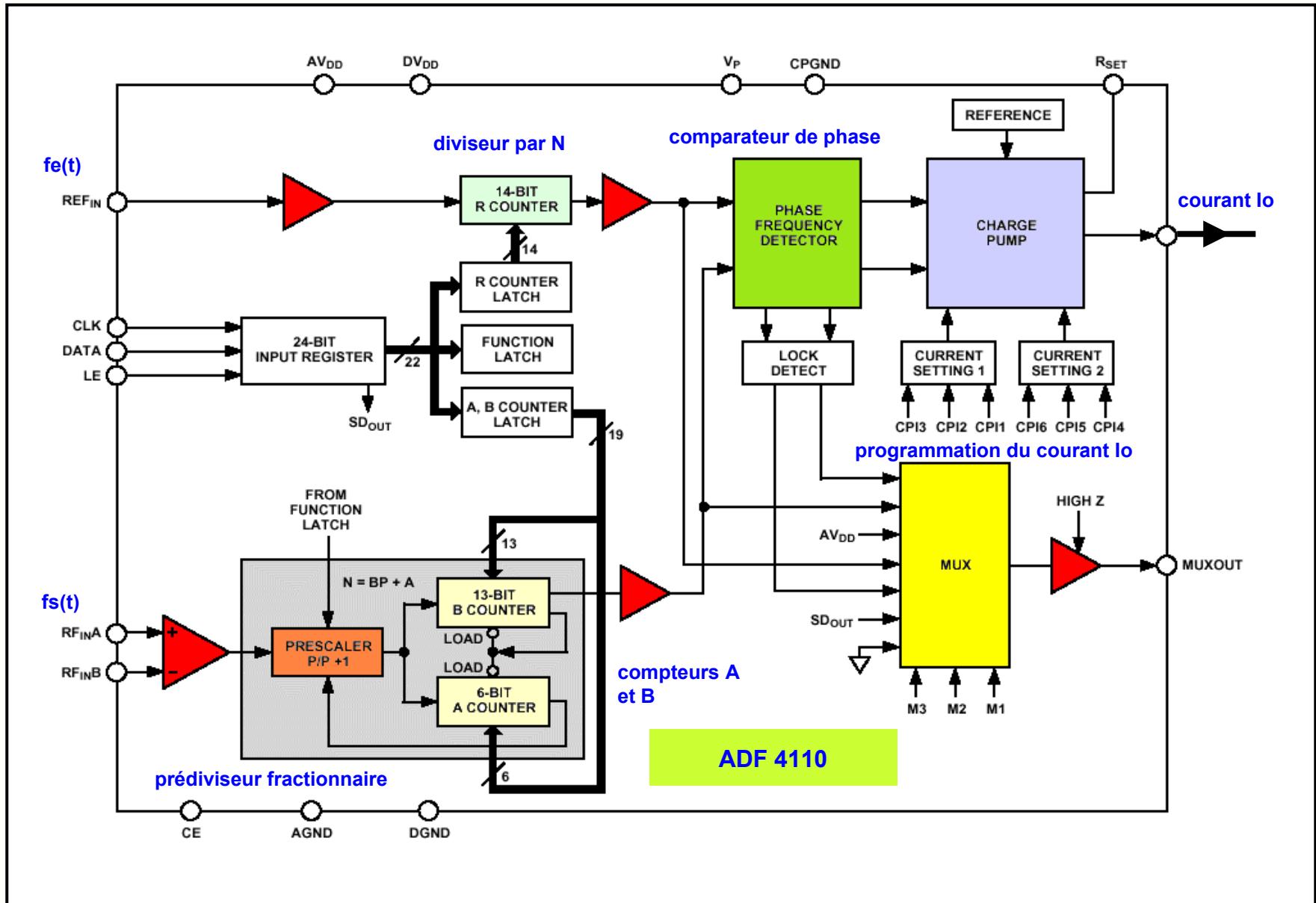
$$f_s(t) = N \cdot \frac{f_x}{M} + K_0 \cdot s(t) = f_0 + K_0 \cdot s(t)$$

- la porteuse  $f_0$  peut être changée grâce à  $N$
- l'excursion en fréquence  $K_0 \cdot s(t)$  peut être réglée en jouant sur l'amplitude de  $s(t)$

Ce système est inutilisable dans les applications où la fréquence de la porteuse doit varier souvent et rapidement car la fréquence de coupure basse du filtre implique une constante de temps importante et donc un régime transitoire très lent.



# 33- Le ADF4110 : un circuit PLL de Analog Devices





# 34- Le ADF4110 : exemple d'application

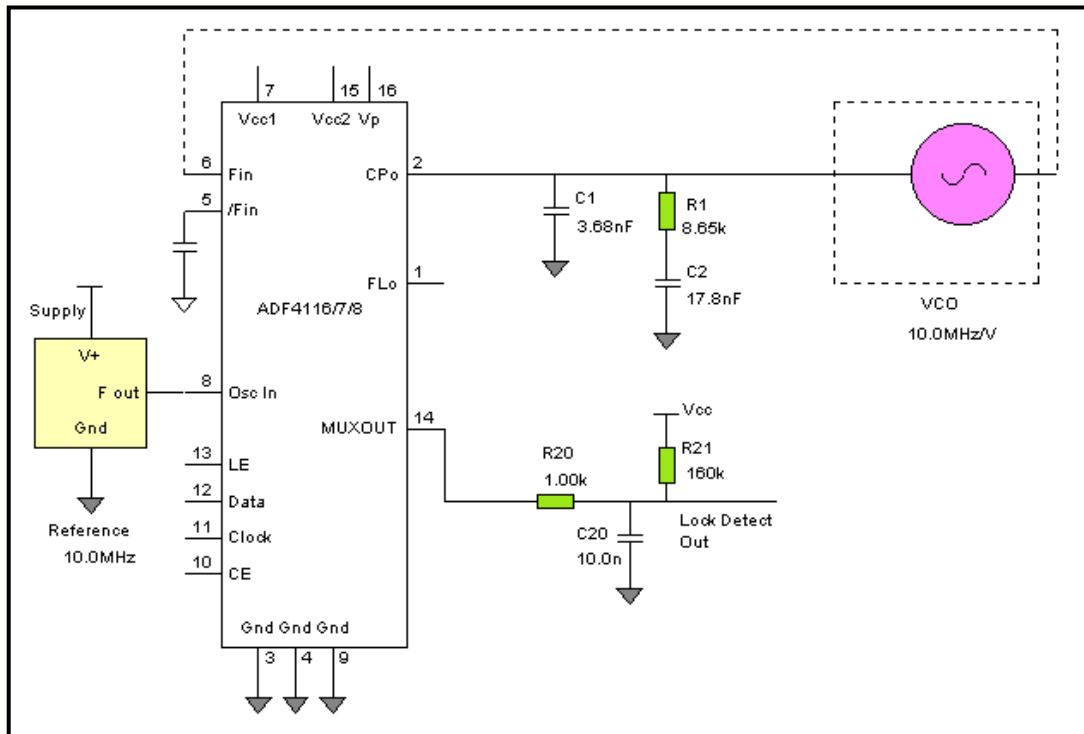


A partir du ADF4110, on réalise un synthétiseur ayant les caractéristiques suivantes :

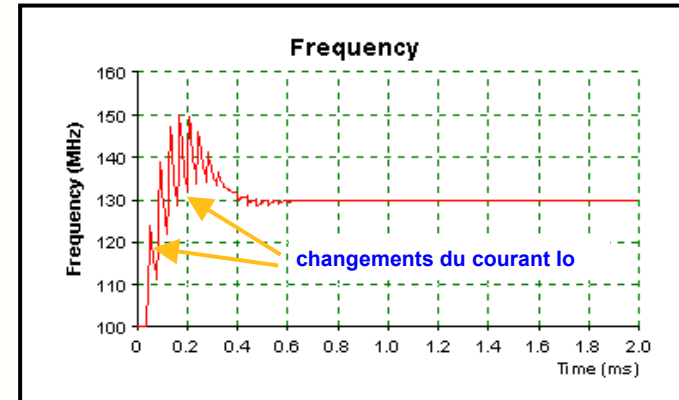
- la plage couverte est  $f_s = 100$  à  $130$  MHz avec un pas de  $25$  kHz
- la pente du VCO est de  $K_o = 10$  MHz/V
- la PLL utilise un filtre de boucle passif
- la sortie du comparateur de phase est à pompe de charge
- la valeur du courant de sortie  $I_o$  de la pompe de charge est programmable

**Remarque :** la modification de  $I_o$  au cours du régime transitoire permet d'avoir une réponse très rapide et une stabilité correcte

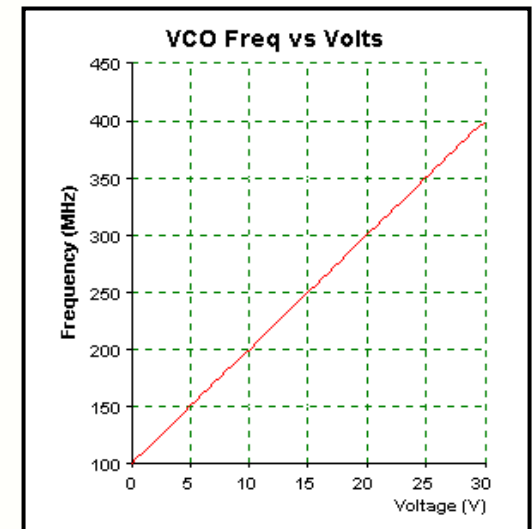
Schéma du synthétiseur



Réponse à un changement de consigne



Caractéristique du VCO





# 35- La PLL en détection de signaux

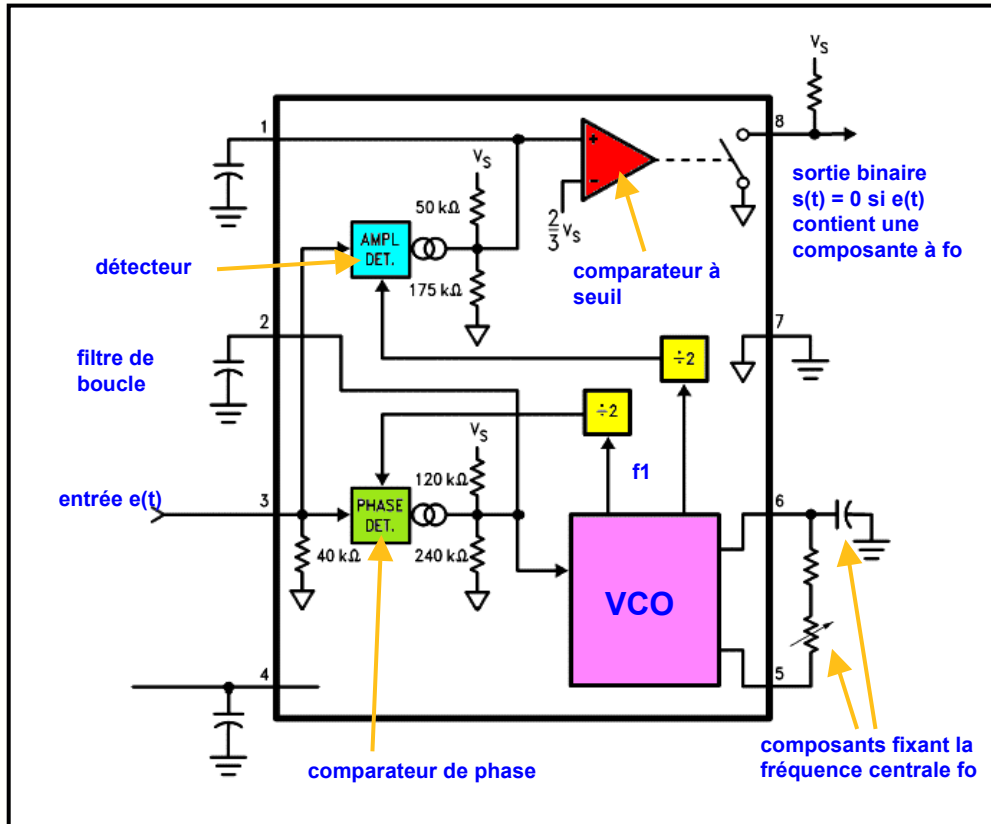


Si le VCO de la PLL ne couvre qu'une petite plage de fréquence, elle ne pourra se verrouiller que dans cette plage et on pourra l'utiliser pour :

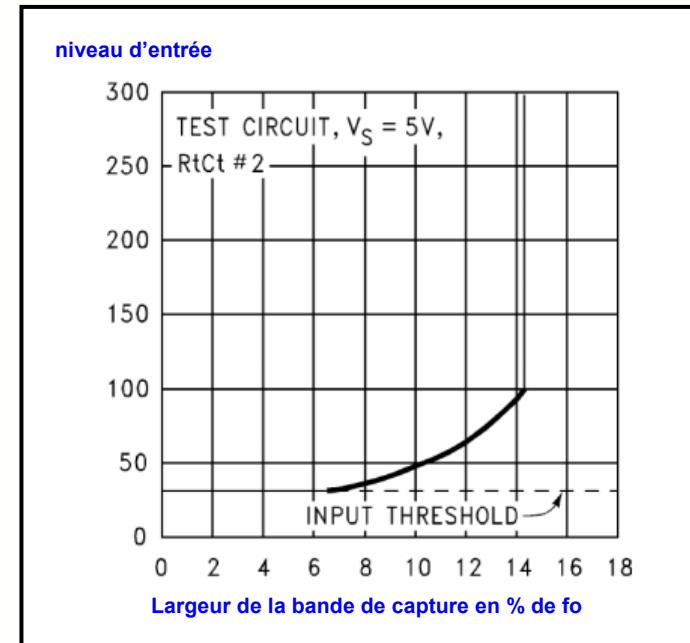
- détecter la présence ou l'absence d'un signal de fréquence donnée : c'est l'application en **détecteur de tonalité**
- extraire une fréquence d'horloge dont on connaît la valeur : c'est l'application en **récupération d'horloge**

Si le signal d'entrée contient une composante  $f_1$  au voisinage de  $f_0$  :

- le VCO couvre la plage de  $0,9.f_0$  à  $1,1.f_0$  environ
- la PLL se verrouille sur cette composante
- le VCO fournit en sortie un signal de même fréquence  $f_1$
- le détecteur réagit et fournit un courant en sortie
- la sortie binaire passe à « 0 »



Le détecteur de tonalité NE567



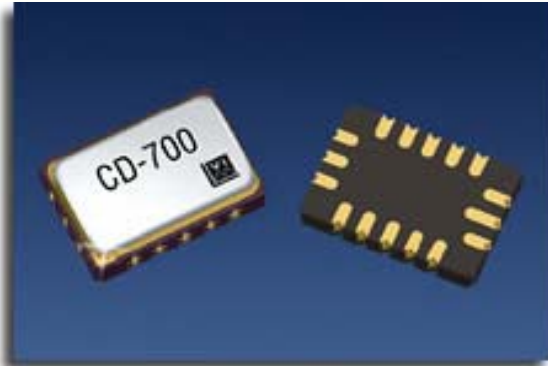


# 36- La PLL en récupération d'horloge

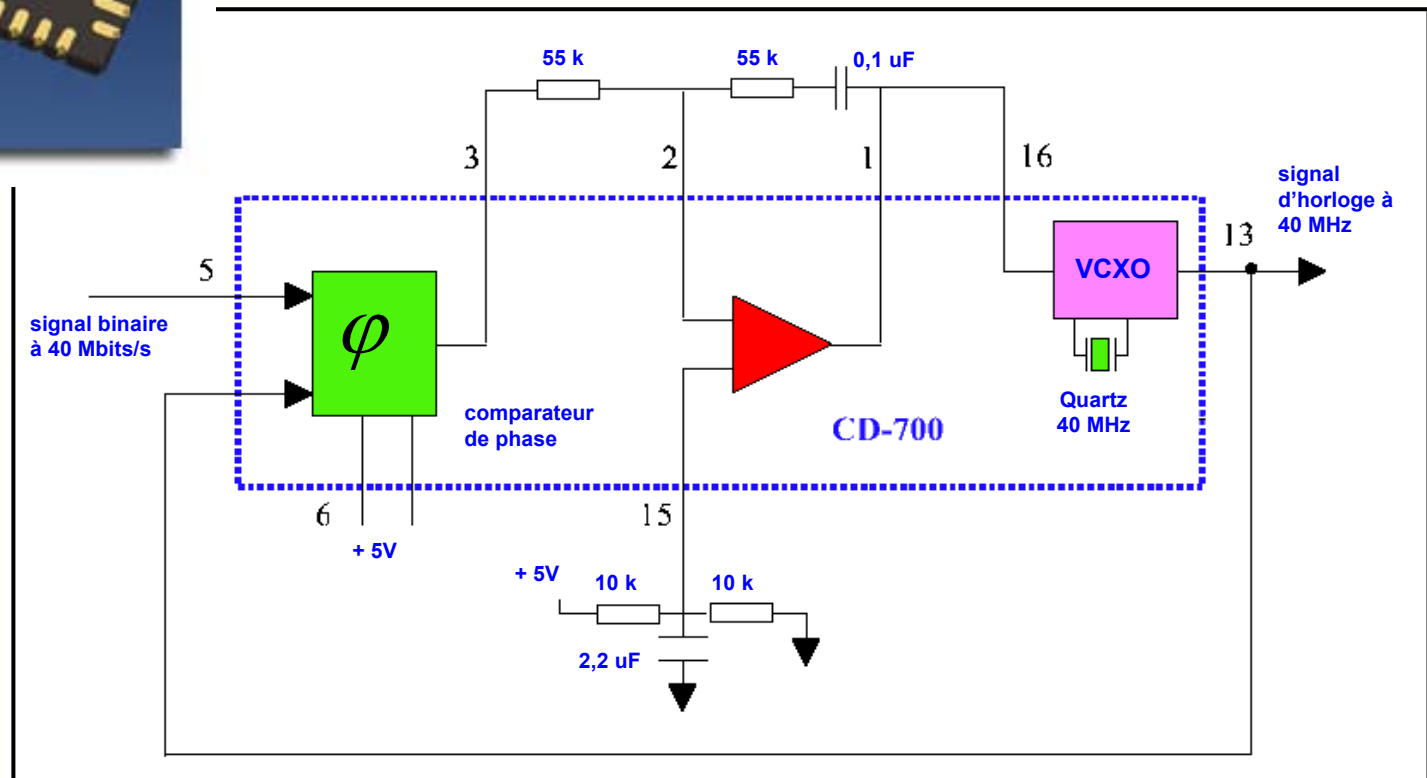


Si on veut récupérer la fréquence d'horloge présente dans un signal numérique, il suffit d'accrocher une PLL sur ce signal :

- la fréquence d'horloge a une valeur en général bien connue, et les éventuelles fluctuations sont très faibles
- la plage de verrouillage de la PLL n'a donc pas besoin d'être très étendue
- on utilise donc souvent pour ce type d'applications un oscillateur à quartz commandé en tension ou VCXO

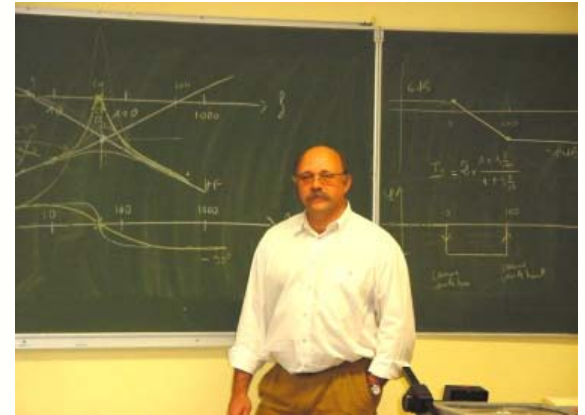


Exemple de circuit de récupération d'horloge à 40 MHz





Printemps en Alsace



# FIN